

PCT

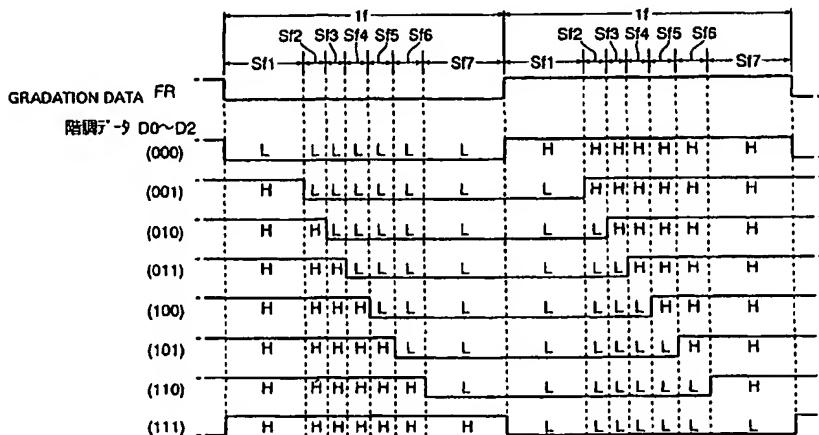
特許協力条約に基づいて公開された国際出願



(51) 国際特許分類7 G09G 3/20	A1	(11) 国際公開番号 WO00/70594
		(43) 国際公開日 2000年11月23日(23.11.00)
<p>(21) 国際出願番号 PCT/JP00/03116</p> <p>(22) 国際出願日 2000年5月15日(15.05.00)</p> <p>(30) 優先権データ 特願平11/134321 1999年5月14日(14.05.99) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)</p> <p>(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 石井 良 (ISHII, Ryo)[JP/JP] 伊藤昭彦 (ITO, Akihiko)[JP/JP] 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)</p> <p>(74) 代理人 鈴木喜三郎, 外 (SUZUKI, Kisaburo et al.) 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社 知的財産部内 Nagano, (JP)</p>		(81) 指定国 CN, JP, KR, US 添付公開書類 国際調査報告書

(54) Title: METHOD FOR DRIVING ELECTROOPTICAL DEVICE, DRIVE CIRCUIT, ELECTROOPTICAL DEVICE, AND ELECTRONIC DEVICE

(54) 発明の名称 電気光学装置の駆動方法、駆動回路及び電気光学装置並びに電子機器



(57) Abstract

High-definition gradation display is implemented by binarizing the signal applied to a data line and by turning only on or off the drive of each pixel. When, for example, 8-level gradation display is implemented, one field (1f) is divided into seven sub-fields (Sf1-Sf7) according to the gradation characteristics of an electrooptical device. By maintaining the on-state of a pixel from the first sub-field to a predetermined sub-field according to the gradation, the ratio of the on or off period of the pixel in one field is controlled for high-definition gradation display.

(57)要約

データ線に印加される信号を2値化して、各画素の駆動をオンまたはオフのみとすることにより高品位な階調表示を行う。

例えば、8階調表示を行う場合、1フィールド(1f)を電気光学装置の階調特性に応じて7つのサブフィールド(Sf1~Sf7)に分割し、階調に応じて最初のサブフィールドから所定のサブフィールドまで画素のオン状態を維持することにより、1フィールド内における当該画素のオン期間またはオフ期間に占める割合を制御して高品位な階調表示を行う。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AG	アンティグア・バーブーダ	DZ	アルジェリア	LC	セントルシア	SD	スードーン
AL	アルバニア	EE	エストニア	LI	リヒテンシュタイン	SE	スウェーデン
AM	アルメニア	ES	スペイン	LK	スリ・ランカ	SG	シンガポール
AT	オーストリア	FI	フィンランド	LR	リベリア	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LS	レソト	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LT	リトアニア	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LU	ルクセンブルグ	SN	セネガル
BB	バルバドス	GD	グレナダ	LV	ラトヴィア	SZ	スウェジランド
BE	ベルギー	GE	グルジア	MA	モロッコ	TD	チャード
BF	ブルガリア	GH	ガーナ	MC	モナコ	TG	トーゴー
BG	ブルガリア	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BJ	ベナン	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BR	ブラジル	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BY	ベラルーシ	GW	ギニア・ビサオ	共和国		TT	トリニダッド・トバゴ
CA	カナダ	HR	クロアチア	ML	マリ	TZ	タンザニア
CF	中央アフリカ	HU	ハンガリー	MN	モンゴル	UA	ウクライナ
CG	コンゴー	ID	インドネシア	MR	モーリタニア	UG	ウガンダ
CH	スイス	IE	アイルランド	MW	マラウイ	US	米国
CI	コートジボアール	IL	イスラエル	MX	メキシコ	UZ	ウズベキスタン
CM	カメルーン	IN	インド	MZ	モザンビーク	VN	ベトナム
CN	中国	IS	アイスランド	NE	ニジエール	YU	ユーゴースラヴィア
CR	コスタ・リカ	IT	イタリア	NL	オランダ	ZA	南アフリカ共和国
CU	キューバ	JP	日本	NO	ノールウェー	ZW	ジンバブエ
CY	キプロス	KE	ケニア	NZ	ニュージーランド		
CZ	チェコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

## 明細書

## 電気光学装置の駆動方法、駆動回路及び電気光学装置並びに電子機器

## 5 [技術分野]

本発明は、パルス幅変調により階調表示制御を行う電気光学装置の駆動方法、駆動回路および電気光学装置並びに電子機器に関する。

## [背景技術]

電気光学装置、例えば、電気光学材料として液晶を用いた液晶表示装置は、陰極10 線管（C R T）に代わるディスプレイデバイスとして、各種情報処理機器の表示部や壁掛けテレビなどに広く用いられている。

ここで、従来の電気光学装置は、例えば、次のように構成されている。すなわち、従来の電気光学装置は、マトリクス状に配列した画素電極と、この画素電極に接続された T F T (Thin Film Transistor: 薄膜トランジスタ) のようなスイッチング素子などが設けられた素子基板と、画素電極に対向する対向電極が形成された対向基板と、これら両基板との間に充填された電気光学材料たる液晶とから構成される。そして、このような構成において、走査線を介してスイッチング素子に走査信号を印加すると、当該スイッチング素子が導通状態となる。この導通状態の際に、データ線を介して画素電極に、階調に応じた電圧の画像信号を印加すると、当該画素電極および対向電極の間の液晶層に画像信号の電圧に応じた電荷が蓄積される。電荷蓄積後、当該スイッチング素子をオフ状態としても、当該液晶層における電荷の蓄積は、液晶層自身の容量性や蓄積容量などによって維持される。このように、各スイッチング素子を駆動させ、蓄積させる電荷量を階調に応じて制御すると、画素毎に液晶の配向状態が変化するので、画素毎に濃度が変化することになる。このため、階調表示することが可能となるのである。

この際、各画素の液晶層に電荷を蓄積させるのは一部の期間でよいため、第 1 に、走査線駆動回路によって、各走査線を順次選択するとともに、第 2 に、走査線の選択期間において、データ線駆動回路によって、データ線を順次選択し、第 3 に、

選択されたデータ線に、階調に応じた電圧の画像信号をサンプリングする構成により、走査線およびデータ線を複数の画素について共通化した時分割マルチブレックス駆動が可能となる。

しかしながら、データ線に印加される画像信号は、階調に対応する電圧、すなわちアナログ信号である。このため、電気光学装置の周辺回路には、D/A変換回路やオペアンプなどが必要となるので、装置全体のコスト高を招致してしまう。さらに、これらのD/A変換回路、オペアンプなどの特性や、各種の配線抵抗などの不均一性に起因して、表示ムラが発生するので、高品質な表示が極めて困難である、という問題があり、特に、高精細な表示を行う場合に顕著となる。

本発明は、上述した事情に鑑みてなされたものであり、その目的とするところは、高品質・高精細な階調表示が可能な電気光学装置、その駆動方法、その駆動回路、さらには、この電気光学装置を用いた電子機器を提供することにある。

### [発明の開示]

上記目的を達成するために、本件第1の発明は、マトリクス状に配設された画素を階調表示させる電気光学装置の駆動方法であって、各フィールド内をそれぞれ複数のサブフィールドに分割し、前記各フィールド内において各画素をオン状態にする電圧の印加時間と画素をオフ状態にする電圧の印加時間との比率が、当該画素の階調に応じた比率となるように、前記各サブフィールド単位で各画素をオン状態にする電圧または各画素をオフ状態にする電圧を各画素に印加することを特徴としている。

また、この第1の発明の一態様においては、1フィールドを分割した各サブフィールドの時間長は、各サブフィールド毎に異なる実効電圧を画素に対して与え得るだけの時間長となっている。

また、本件第2の発明は、マトリクス状に配設された画素を階調表示させる電気光学装置の駆動方法であって、1フィールドを複数のサブフィールドに分割する一方、最初のサブフィールドにおいては、画素をオン状態またはオフ状態とし、以降のサブフィールドにおいては、当該画素のオン状態またはオフ状態を維持するか否

かについて、当該画素の階調に応じて制御することを特徴としている。

この第1および第2の発明によれば、1フィールドにおいて、画素のオン（またはオフ）の期間が、当該画素の階調に応じてパルス幅変調される結果、実効値制御による階調表示が行われることになる。この際、各サブフィールドにおいては、画素のオンまたはオフを指示するだけで済むので、画素への指示信号として、2値信号（すなわち、HレベルかLレベルかしか取り得ないデジタル信号）を用いることができる。したがって、第1および第2の発明では、画素への印加信号がデジタル信号となるので、素子特性や配線抵抗などの不均一性に起因する表示ムラが抑えられる結果、高品質かつ高精細な階調表示が可能となる。

なお、本発明において、1フィールドとは、従来において、水平走査信号および垂直走査信号に同期して水平走査および垂直走査することにより、1枚のラスタ画像を形成するのに要する期間という意味合いで用いている。したがって、ノンインターレース方式などにおける1フレームも、本発明にいう1フィールドに相当する点に留意されたい。

ここで、第1および第2の発明の一態様においては、前記画素は、複数の走査線と複数のデータ線との各交差に対応して設けられ、当該走査線に走査信号が供給されると、当該データ線に印加されている電圧にしたがってオン状態またはオフ状態とされるものであり、前記サブフィールド毎に、前記走査信号を前記走査線の各々に順次供給し、前記画素のオン状態またはオフ状態を指示する2値信号を、当該画素に対応する走査線に前記走査信号を供給する際に、当該画素に対応するデータ線に供給する。この態様において、ある走査線に走査信号が供給された時点に、その走査線と交差するデータ線に2値信号が供給されると、その交差に対応する画素は、当該2値信号にしたがってオンまたはオフする。そして、この態様では、この動作がすべての画素に対して行われることになる。

また、上記目的を達成するために、本件第3の発明は、複数の走査線と複数のデータ線との各交差に対応して配設された画素電極と、前記画素電極毎に印加する電圧を制御するスイッチング素子とからなる画素を駆動する電気光学装置の駆動回路であって、1フィールドを分割した複数のサブフィールドの各々において、前記

スイッチング素子を導通させる走査信号を、前記各走査線に供給する走査線駆動回路と、各画素のオン状態またはオフ状態を指示する2値信号を、それぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に供給するデータ線駆動回路とを具備し、前記2値信号は、1フィールド内において各画素をオン状態にする時間と各画素をオフ状態にする時間との比率が、当該画素の階調に応じた比率となるように各画素のオン状態またはオフ状態を指示する信号であることを特徴としている。

さらに、第4の発明は、複数の走査線と複数のデータ線との各交差に対応して配設された画素電極と、前記画素電極毎に印加する電圧を制御するスイッチング素子とからなる画素を駆動する電気光学装置の駆動回路であって、1フィールドを分割した複数のサブフィールドの各々において、前記スイッチング素子を導通させる走査信号を、前記各走査線に供給する走査線駆動回路と、最初のサブフィールドにおいては、画素をオン状態またはオフ状態を指示する2値信号を、以降のサブフィールドにおいては、当該画素のオン状態またはオフ状態を維持するか否かについて指示する2値信号を、それぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に供給するデータ線駆動回路とを具備することを特徴としている。

この第3および第4の発明によれば、上記第1および第2の発明と同様な理由により、画素への印加信号がデジタル信号となるので、素子特性や配線抵抗などの不均一性に起因する表示ムラが抑えられる結果、高品質かつ高精細な階調表示が可能となる。

ここで、第3および第4の発明において、前記データ線駆動回路は、さらに、水平走査期間のはじめに供給されるラッチパルス信号をクロック信号に応じて順次シフトして出力するシフトレジスタと、前記2値信号を、前記シフトレジスタによりシフトされた信号により順次ラッチする第1のラッチ回路と、前記第1のラッチ回路によりラッチされた2値信号を、前記ラッチパルス信号に基づいてラッチするとともに、対応するデータ線に一斉に出力する第2のラッチ回路とを備える構成が望ましい。この発明では、1フィールドを複数のサブフィールドに分割しているの

で、各サブフィールドにおいて 2 値信号を点順次的に供給する構成では、画素への書込時間が十分でない事態が予想される。そこで、この構成のように、2 値信号をデータ線に供給する前に、一旦、第 1 のラッチ回路によって、点順次的にラッチするとともに、このラッチした信号を、第 2 のラッチ回路によって、水平走査期間の 5 はじめに供給されるラッチパルス信号によって一斉にラッチして、データ線に供給すると、画素の書込時間として、1 水平走査期間という比較的長い時間を確保することが可能となる。

さて、このような構成において、前記第 1 のラッチ回路は、前記シフトレジスタによりシフトされた信号により、複数系統に分配された 2 値信号を同時にラッチする構成が望ましい。この構成によれば、シフトレジスタの段数が低減されるとともに、第 1 のラッチ回路が 2 値信号をラッチするのに要する時間も短縮することが可能となる。

また、データ線駆動回路にシフトレジスタを備える構成では、1 サブフィールドにおいて、前記走査線駆動回路が前記走査線のすべてに対し前記走査信号を供給した後に、前記シフトレジスタへの前記クロック信号の供給を停止させる一方、次のサブフィールドが開始すると、前記クロック信号の供給を再開させるクロック信号供給制御回路を備えることが望ましい。一般に、シフトレジスタには、クロック信号をゲートで入力するクロックドインバータが極めて多数備えられるので、クロック信号の供給源からみると、シフトレジスタは容量負荷となる。一方、「1 サブフィールドにおいて、走査線駆動回路が走査線のすべてに対し走査信号を供給した後」から「次のサブフィールドが開始する」までの期間においては、データ線側のシフトレジスタを動作させる必要はない。そこで、上記クロック信号供給制御回路によって、上記期間だけ、クロック信号のシフトレジスタへの供給を停止させることによって、シフトレジスタの容量負荷に起因して消費される電力を抑えることが可能となる。

次に、上記目的を達成するために、本件第 5 の発明は、複数の走査線と複数のデータ線との各交差に対応して配設された画素電極、前記画素電極毎に印加する電圧を制御するスイッチング素子、および前記画素電極に対して対向配置された対向電

極を有する画素と、1フィールドを分割した複数のサブフィールドの各々において、前記スイッチング素子を導通させる走査信号を、前記走査線に供給する走査線駆動回路と、各画素のオン状態またはオフ状態を指示する2値信号を、それぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に供給するデータ線駆動回路とを具備し、前記2値信号は、1フィールド内において各画素をオン状態にする時間と各画素をオフ状態にする時間との比率が、当該画素の階調に応じた比率となるように各画素のオン状態またはオフ状態を指示する信号であることを特徴としている。

また、第6の発明は、複数の走査線と複数のデータ線との各交差に対応して配設された画素電極、前記画素電極毎に印加する電圧を制御するスイッチング素子、および前記画素電極に対して対向配置された対向電極を有する画素と、1フィールドを分割した複数のサブフィールドの各々において、前記スイッチング素子を導通させる走査信号を、前記走査線に供給する走査線駆動回路と、最初のサブフィールドにおいては、画素をオン状態またはオフ状態を指示する2値信号を、以降のサブフィールドにおいては、当該画素のオン状態またはオフ状態を維持するか否かについて指示する2値信号を、それぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に供給するデータ線駆動回路とを具備することを特徴としている。

この第5および第6の発明によれば、上記第1および第2の発明と同様な理由により、画素への印加信号がデジタル信号となるので、素子特性や配線抵抗などの不均一性に起因する表示ムラが抑えられる結果、高品質かつ高精細な階調表示が可能となる。

さて、第5および第6の発明において、前記対向電極に印加されるレベルに応じて、前記2値信号をレベル反転する構成が望ましい。このような構成では、対向電極に一方のレベルが印加される場合と、他方のレベルが印加される場合とにおいて、両者レベルの中間値を基準として考えると、画素に印加される電圧は、互いに極性が反転し、かつ、絶対値が等しくなる。このため、画素電極と対向電極とに挟持される電気光学材料に直流成分が印加されるのを防止することが可能となる。

また、第5および第6の発明の一の態様によれば、前記画素電極及び前記スイッチング素子が形成される素子基板は、半導体基板からなり、前記走査線駆動回路および前記データ線駆動回路は、前記素子基板に形成され、前記画素電極は反射性を有していることが望ましい。半導体基板の電子移動度は高いので、当該基板に形成されるスイッチング素子や、駆動回路の構成素子などについて、高速応答性とともに小サイズ化を図ること可能となる。なお、半導体基板は不透明であるので、電気光学装置は反射型として用いられることとなる。

さらに、上記目的を達成するために、本件第7の発明に係る電子機器にあっては、上記電気光学装置を備えているので、D/A変換回路やオペアンプなどが不要となる上に、さらに、これらのD/A変換回路、オペアンプなどの特性や、各種の配線抵抗などの不均一性の影響を受けない。したがって、この電気機器によれば、コストが抑えられるとともに、高品質かつ高精細な階調表示が可能となる。

#### [図面の簡単な説明]

15 図1は本発明の実施形態に係る電気光学装置の電気的な構成を示すブロック図である。

図2(a)および(b)は、それぞれ同電気光学装置の画素の一態様を示す回路図である。

20 図3は、同電気光学装置におけるデータ線駆動回路の構成を示すブロック図である。

図4(a)は、同電気光学装置における電圧-透過率特性を示す図であり、(b)は、同電気光学装置におけるサブフィールドの概念を説明するための図である。

図5(a)および(b)は、それぞれ同電気光学装置におけるデータ変換回路の階調データの変換内容を示すテーブルである。

25 図6は、同電気光学装置の動作を示すタイミングチャートである。

図7は、同電気光学装置において対向基板に印加される電圧および画素電極に印加される電圧を、フィールド単位で示すタイミングチャートである。

図8は、同電気光学装置におけるデータ線駆動回路の応用形態を示すブロック図

である。

図9は、同応用形態に係るデータ線駆動回路の動作を示すタイミングチャートである。

図10は、同電気光学装置の応用形態におけるクロック信号供給制御回路の構成

5 を示す回路図である。

図11は、同クロック信号供給制御回路の動作を示すタイミングチャートである

。

図12(a)および(b)は、それぞれ同電気光学装置におけるデータ変換回路の階調データの変換内容を示すテーブルである。

10 図13は、同電気光学装置の応用形態において対向基板に印加される電圧および画素電極に印加される電圧を、フィールド単位で示すタイミングチャートである。

図14は、同電気光学装置の構造を示す平面図である。

図15は、同電気光学装置の構造を示す断面図である。

15 図16は、同電気光学装置を適用した電子機器の一例たるプロジェクタの構成を示す断面図である。

図17は、同電気光学装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

図18は、同電気光学装置を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

20

#### 符号の説明

100 ……電気光学装置

101 ……素子基板

101a ……表示領域

25 102 ……対向基板

105 ……液晶（電気光学材料）

108 ……対向電極

112 ……走査線

114 ……データ線  
116 ……トランジスタ  
118 ……画素電極  
119 ……蓄積容量  
5 130 ……走査線駆動回路  
140 ……データ線駆動回路  
1410 ……Xシフトレジスタ  
1420 ……第1のラッチ回路  
1430 ……第2のラッチ回路  
10 200 ……タイミング信号生成回路  
300 ……データ変換回路  
400 ……クロック信号供給制御回路

[発明を実施するための最良の形態]

15 以下、本発明の実施形態について図面を参照して説明する。まず、本実施形態に  
係る電気光学装置は、電気光学材料として液晶を用いた液晶装置であり、後述する  
ように素子基板と対向基板とが、互いに一定の間隙を保って貼付され、この間隙に  
電気光学材料たる液晶が挟持される構成となっている。また、本実施形態に係る電  
気光学装置では、素子基板として半導体基板が用いられ、ここに、画素を駆動する  
20 トランジスタとともに、周辺駆動回路などが形成されたものである。

〈電気的な構成〉

図1は、この電気光学装置の電気的な構成を示すブロック図である。図において  
、タイミング信号生成回路200は、図示せぬ上位装置から供給される垂直走査信  
号V<sub>S</sub>、水平走査信号H<sub>S</sub>およびドットクロック信号DCLKにしたがって、次に  
25 説明する各種のタイミング信号やクロック信号などを生成するものである。まず、  
第1に、交流化駆動信号FRは、1フィールド（1フレーム）毎にレベル反転して  
、対向基板に形成された対向電極に印加される信号である。第2に、スタートバル  
スDYは、1フィールドを後述するように分割した各サブフィールドにおいて、最

初に出力されるパルス信号である。第3に、クロック信号CLYは、走査側(Y側)の水平走査期間を規定する信号である。第4に、ラッチパルスLPは、水平走査期間の最初に出力されるパルス信号であって、クロック信号CLYのレベル遷移(すなわち、立ち上がりおよび立ち下がり)時に出力されるものである。第5に、クロック信号CLXは、いわゆるドットクロックを規定する信号である。

一方、素子基板上における表示領域101aには、複数本の走査線112が、YにおいてX(行)方向に延在して形成され、また、複数本のデータ線114が、Y(列)方向に沿って延在して形成されている。そして、画素110は、走査線112とデータ線114との各交差に対応して設けられて、マトリクス状に配列している。ここで、説明の便宜上、本実施形態では、走査線112の総本数をm本とし、データ線114の総本数をn本として(m、nはそれぞれ2以上の整数)、m行×n列のマトリクス型表示装置として説明するが、本発明をこれに限定する趣旨ではない。

なお、画素110の具体的な構成としては、例えば、図2(a)に示されるものが挙げられる。この構成では、トランジスタ(MOS型FET)116のゲートが走査線112に、ソースがデータ線114に、ドレインが画素電極118に、それぞれ接続されるとともに、画素電極118と対向電極108との間に電気光学材料たる液晶105が挟まれて液晶層が形成されている。ここで、対向電極108は、後述するように、実際には画素電極118と対向するように対向基板に一面に形成される透明電極である。

なお、対向電極108の電位は、通常の電気光学装置においては、一定値に保たれるが、本実施形態に係る電気光学装置においては、前述した交流化駆動信号FRが印加されて、1フィールド毎にレベル反転する構成となっている。また、画素電極118と接地電位GNDとの間においては蓄積容量119が形成されて、液晶層に蓄積される電荷のリークを防止している。

ここで、図2(a)に示される構成では、トランジスタ116として一方のチャネル型のみが用いられているために、トランジスタ116のゲートードレイン間などに形成される寄生容量による画素電極118への印加電圧の降下を補償するオ

フセット電圧を考慮する必要があるが、図2 (b) に示されるように、Pチャネル型トランジスタとNチャネル型トランジスタとを相補的に組み合わせた構成とすれば、このようなオフセット電圧の影響をキャンセルすることができる。ただし、この相補型構成では、走査信号として互いに逆位相の電圧レベルを供給する必要が5 生じるため、1行の画素110に対して走査線112a、112bの2本が必要となる。

なお、画素の構成は、図2 (a) および (b) に示したものに限られるものではない。例えば、各画素内に、S R A M等のメモリセルをトランジスタや抵抗等を用いて構成し、各メモリセルに書き込んだHレベル又はLレベルのデータに応じて各10 画素をオン・オフ駆動するようにしてもよい。かかる場合には、後述するような各サブフィールド毎に全ての画素をアドレスする必要がないという利点がある。すなわち、全ての走査線に対して走査信号を供給するのではなく、メモリに記録されたデータを書き換える画素に接続された走査線に対してのみ走査信号を印加すればよいのである。

15 説明を再び図1に戻す。走査線駆動回路130は、いわゆるYシフトレジスタと呼ばれるものであり、サブフィールドの最初に供給されるスタートパルスD Yをクロック信号C L Yにしたがって転送し、走査線112の各々に走査信号G 1、G 2、G 3、…、G mとして順次供給するものである。

また、データ線駆動回路140は、ある水平走査期間において2値信号D sをデータ線114の本数に相当するn個順次ラッチした後、ラッチしたn個の2値信号D sを、次の水平走査期間において、それぞれ対応するデータ線114にデータ信号d 1、d 2、d 3、…、d nとして一斉に供給するものである。ここで、データ線駆動回路140の具体的な構成は、図3に示される通りである。すなわち、データ線駆動回路140は、Xシフトレジスタ1410と、第1のラッチ回路1420と、第2のラッチ回路1430とから構成されている。このうち、Xシフトレジスタ1410は、水平走査期間の最初に供給されるラッチパルスL Pをクロック信号C L Xにしたがって転送し、ラッチ信号S 1、S 2、S 3、…、S nとして順次供給するものである。次に、第1のラッチ回路1420は、2値信号D sをラッチ信

号  $S_1$ 、 $S_2$ 、 $S_3$ 、…、 $S_n$  の立ち下がりにおいて順次ラッチするものである。そして、第 2 のラッチ回路 1430 は、第 1 のラッチ回路 1420 によりラッチされた 2 値信号  $D_S$  の各々をラッチパルス  $LP$  の立ち下がりにおいて一斉にラッチするとともに、データ線 114 の各々にデータ信号  $d_1$ 、 $d_2$ 、 $d_3$ 、…、 $d_n$  と 5 して供給するものである。

次に、データ変換回路 300 について説明する前に、本実施形態に係る電気光学装置におけるサブフィールドなる概念について説明する。一般に、電気光学材料として液晶を用いた液晶装置において、液晶層に印加される電圧と相対透過率（または反射率）との関係は、電圧無印加状態において黒表示を行うノーマリーブラックモードを例にとれば、図 4 (a) に示されるような関係にある。なお、ここでいう相対透過率とは、透過光量の最低値および最高値をそれぞれ 0 % および 100 % として正規化したものである。図 4 (a) に示すように、液晶装置の透過率は、液晶層に対する印加電圧が閾値  $VTH_1$  より小さい場合には 0 % であるが、印加電圧が閾値  $VTH_1$  以上であり、かつ、飽和電圧  $VTH_2$  ( $= V_7$ ) 以下である場合には 10 15 、印加電圧に対して非線形に増加する。そして、印加電圧が飽和電圧  $VTH_2$  以上である場合、液晶装置の透過率は印加電圧によらず一定値を維持する。なお、液晶装置の透過率（反射率）は通常、一対又は一の偏光板等の偏光手段を伴って規定される。

ここで、本実施形態に係る電気光学装置が 8 階調表示を行うものとし、3 ビット 20 で示される階調（濃淡）データが、それぞれ同図に示される透過率を指示するものとする。この際、各透過率において液晶層に印加される電圧を、それぞれ  $V_0$  ~  $V_7$  とすると、従来では、これらの電圧  $V_0$  ~  $V_7$  自体を、液晶層に印加する構成となっていた。このため、特に、中間階調に対応する電圧  $V_1$  ~  $V_6$  については、D/A 変換回路やオペアンプなどのアナログ回路の特性や、各種の配線抵抗などのばらつきによる影響によって、画素間にわたって不均一となり易い。したがって、従来の構成では、高品質かつ高精細な階調表示が困難であった。

そこで、本実施形態に係る電気光学装置では、第 1 に、液晶層に印加される電圧を、例えば、電圧  $V_0$  ( $= 0$ )、 $V_7$  の 2 値のみとする構成を採用する。この構成

において、1 フィールドの全期間にわたって液晶層に電圧  $V_0$  を印加すれば透過率は 0 % となるし、電圧  $V_7$  を印加すれば透過率は 100 % となる。さらに、1 フィールドのうち、液晶層に電圧  $V_0$  を印加する期間と、電圧  $V_7$  を印加する期間との比率を制御して、液晶層に印加される電圧実効値が  $V_1 \sim V_6$  となるように構成すれば、当該電圧に対応する階調表示が可能となるはずである。そこで、本実施形態に係る電気光学装置では、第 2 に、液晶層に電圧  $V_0$  を印加する期間と、電圧  $V_7$  を印加する期間とを区切るために、図 4 (b) に示されるように、1 フィールド (1 f) を 7 つの期間に分割する。この分割した 7 つの期間を便宜的にサブフィールド  $S_f 1 \sim S_f 7$  と称することにする。

さらに、本実施形態に係る電気光学装置では、第 3 に、各サブフィールド  $S_f 1 \sim S_f 7$  毎に、階調データに応じて画素電極 118 に電圧  $V_7$  または電圧  $V_0$  を書き込む構成を採用する。例えば、階調データが (001) である場合 (すなわち、当該画素の透過率を 14.3 % とする階調表示を行う場合) であって、対向電極 108 の電位が  $V_0$  である場合、当該画素における画素電極 118 の電位を、1 フィールド (1 f) のうち、サブフィールド  $S_f 1$  では電圧  $V_7$  とする一方、他のサブフィールド  $S_f 2 \sim S_f 7$  では電圧  $V_0$  とする書き込みを行う。ここで、電圧実効値は、電圧瞬時値の 2 乗を 1 周期 (1 フィールド) にわたって平均化した平方根で求められるから、サブフィールド  $S_f 1$  を、1 フィールド (1 f) に対して  $(V_1/V_7)^2$  となる期間に設定すれば、上記書き込みによって 1 フィールド (1 f) に液晶層に印加される電圧実効値は  $V_1$  となる。

また、例えば、階調データが (010) である場合 (すなわち、当該画素の透過率を 28.6 % とする階調表示を行う場合) であって、対向電極 108 の電位が  $V_0$  である場合、当該画素における画素電極 118 の電位を、1 フィールド (1 f) のうち、サブフィールド  $S_f 1 \sim S_f 2$  では電圧  $V_7$  とする一方、他のサブフィールド  $S_f 3 \sim S_f 7$  では電圧  $V_0$  とする書き込みを行う。このため、サブフィールド  $S_f 1 \sim S_f 2$  を、1 フィールド (1 f) に対して  $(V_2/V_7)^2$  となる期間に設定すれば、上記書き込みによって 1 フィールド (1 f) に液晶層に印加される電圧実効値は  $V_2$  となる。ここで、サブフィールド  $S_f 1$  は、上述したように  $(V_1/V_7)$

)  $^2$  となる期間に設定されるので、サブフィールド S f 2 については、(V 2 / V 7)  $^2$  - (V 1 / V 7)  $^2$  となる期間に設定すればよい。

同様に、例えば、階調データが(0 1 1)である場合(すなわち、当該画素の透過率を42.9%とする階調表示を行う場合)であって、対向電極108の電位が5 V 0 である場合、当該画素における画素電極118の電位を、1フィールド(1 f)のうち、サブフィールド S f 1 ~ S f 3 では電圧 V 7 とする一方、他のサブフィールド S f 4 ~ S f 7 では電圧 V 0 とする書きを行う。このため、サブフィールド S f 1 ~ S f 3 を、1フィールド(1 f)に対して (V 3 / V 7)  $^2$  となる期間に設定すれば、上記書きによって1フィールド(1 f)に液晶層に印加される電圧実効値は V 3 となる。ここで、サブフィールド S f 1 ~ S f 2 は、上述したように(10 V 2 / V 7)  $^2$  となる期間に設定されるので、サブフィールド S f 3 については、(V 3 / V 7)  $^2$  - (V 2 / V 7)  $^2$  となる期間に設定すればよいことが判る。

以下、同様にして、他のサブフィールド S f 4 ~ S f 6 について期間がそれぞれ設定され、サブフィールド S f 7 については、最終的に、(V 7 / V 7)  $^2$  - (V 15 6 / V 7)  $^2$  となる期間に設定されるとともに、他の階調データについても同様な書きが行われることとなる。

このようにして、サブフィールド S f 1 ~ S f 7 の期間を設定して、階調データに応じた書きを行う構成とすると、当該液晶層に印加される電圧は V 0 および V 7 の2値であるにもかかわらず、各透過率に対応する階調表示が可能となる。なお、20 以下説明の便宜上、論理振幅については、電圧 V 7 を H レベルとし、電圧 V 0 を L レベルとして考えることにする。

さて、このようにサブフィールド S f 1 ~ S f 7 毎に、階調に応じて H レベルまたは L レベルを書き込むためには、画素に対応する階調データを何らかの形で変換する必要がある。この変換を行うものが、図 1 におけるデータ変換回路 300 である。すなわち、データ変換回路 300 は、垂直走査信号 V s、水平走査信号 H s およびドットクロック信号 D C L K に同期して供給され、かつ、画素毎に対応する 3 ビットの階調データ D 0 ~ D 2 を、サブフィールド S f 1 ~ S f 7 毎に 2 値信号 D s に変換する構成となっている。

ここで、データ変換回路300では、1フィールドにおいて、どのサブフィールドであるかを認識する構成が必要となるが、この構成については、例えば、次のような手法で認識することができる。すなわち、例えば、データ変換回路300内部において、スタートパルスDYをイネーブル信号として初期値「1」をプリセットし、CLYをクロック信号として計数する3ビットカウンタを設けた構成とすればよい。要するに、スタートパルスDYを計数する7進カウンタを設けて、そのカウント結果を参照すれば、現状のサブフィールドを認識することができる。

また、本実施形態では、交流化駆動のために、対向電極108の電位を交流化駆動信号FRによって1フィールド毎に反転しているので、データ変換回路300内部に、スタートパルスDYを計数するとともに、当該カウント結果を交流化駆動信号FRのレベル遷移（立ち上がりおよび立ち下がり）でリセットするカウンタを設けて、当該カウント結果を参照する構成としても、現状のサブフィールドを認識することができる。

さらに、データ変換回路300は、交流化駆動信号FRのレベルに応じて、階調データD0～D2を2値信号Dsに変換する必要がある。具体的には、データ変換回路300は、階調データD0～D2に対応する2値信号Dsを、交流化駆動信号FRがLレベルである場合には、図5(a)に示される内容にしたがって出力する一方、交流化駆動信号FRがHレベルである場合には、図5(b)に示される内容にしたがって出力する構成となっている。

なお、この2値信号Dsについては、走査線駆動回路130およびデータ線駆動回路140における動作に同期して出力する必要があるので、データ変換回路300には、スタートパルスDYと、水平走査に同期するクロック信号CLYと、水平走査期間の最初を規定するラッチパルスLPと、ドットクロック信号に相当するクロック信号CLXとが供給されている。また、上述したように、データ線駆動回路140では、ある水平走査期間において、第1のラッチ回路1420が点順次的に2値信号をラッチした後、次の水平走査期間において、第2のラッチ回路1430が、ラッチパルスLPに応じて第1のラッチ回路1420の保持データを一斉にラッチし、データ信号d1、d2、d3、…、dnとして一斉に各データ線114に

供給する構成となっているので、データ変換回路300は、走査線駆動回路130およびデータ線駆動回路140における動作と比較して、1水平走査期間だけ先行するタイミングで2値信号Dsを出力する構成となっている。

なお、以上の実施形態において、走査線駆動回路130およびデータ線駆動回路140（またはこれらのうちのいずれか一方）は、素子基板に画素110内のトランジスタ116とともに形成されるトランジスタによって構成されることが好ましい。また、素子基板を半導体基板とした場合はトランジスタはMOSトランジスタ、ガラス等の絶縁基板を用いる場合は薄膜トランジスタとして形成される。

#### ＜動作＞

10 次に、上記実施形態に係る電気光学装置の動作について説明する。図6は、この電気光学装置の動作を説明するためのタイミングチャートである。

まず、交流化駆動信号FRは、1フィールド(1f)毎にレベル反転して、対向電極108に印加される。一方、スタートパルスDYは、上述したように1フィールド(1f)を、各階調の透過率を規定する電圧V2～V6の大きさに応じた間隔15に分割されたサブフィールドの開始時に供給される。

ここで、交流化駆動信号FRがLレベルとなる1フィールド(1f)において、サブフィールドSf1の開始を規定するスタートパルスDYが供給されると、走査線駆動回路130(図1参照)におけるクロック信号CLYにしたがった転送によって、走査信号G1、G2、G3、…、Gmが期間(1Va)に順次出力される。20なお、期間(1Va)は、最も短いサブフィールドよりもさらに短い期間に設定されている。

さて、走査信号G1、G2、G3、…、Gmは、それぞれクロック信号CLYの半周期に相当するパルス幅を有し、また、上から数えて1本目の走査線112に対応する走査信号G1は、スタートパルスDYが供給された後、クロック信号CLYが最初に立ち上がってから、少なくともクロック信号CLYの半周期だけ遅延して出力される構成となっている。したがって、サブフィールドの最初にスタートパルスDYが供給されてから、走査信号G1が出力されるまでに、ラッチパルスLPの1ショット(G0)がデータ線駆動回路140に供給されることになる。

そこで、このラッチパルスLPの1ショット(G0)が供給された場合について検討してみる。まず、このラッチパルスLPの1ショット(G0)がデータ線駆動回路140に供給されると、データ線駆動回路140(図3参照)におけるクロック信号CLXにしたがった転送によって、ラッチ信号S1、S2、S3、…、Snが水平走査期間(1H)に順次出力される。なお、ラッチ信号S1、S2、S3、…、Snは、それぞれクロック信号CLXの半周期に相当するパルス幅を有している。

この際、図3における第1のラッチ回路1420は、ラッチ信号S1の立ち下がりにおいて、上から数えて1本目の走査線112と、左から数えて1本目のデータ線114との交差に対応する画素110への2値信号Dsをラッチし、次に、ラッチ信号S2の立ち下がりにおいて、上から数えて1本目の走査線112と、左から数えて2本目のデータ線114との交差に対応する画素110への2値信号Dsをラッチし、以下、同様に、上から数えて1本目の走査線112と、左から数えてn本目のデータ線114との交差に対応する画素110への2値信号Dsをラッ15チする。

これにより、まず、図1において上から1本目の走査線112との交差に対応する画素1行分の2値信号Dsが、第1のラッチ回路1420により点順次的にラッチされることになる。なお、データ変換回路300は、第1のラッチ回路1420によるラッチのタイミングに合わせて、各画素の階調データD0～D2を2値信号Dsに変換して出力することは言うまでもない。また、ここでは、交流化駆動信号FRがLレベルの場合を想定しているので、図5(a)に示されるテーブルが参照され、さらに、サブフィールドSf1に相当する2値信号Dsが、階調データD0～D2に応じて出力されることになる。

次に、クロック信号CLYが立ち下がって、走査信号G1が出力されると、図1において上から数えて1本目の走査線112が選択される結果、当該走査線112との交差に対応する画素110のトランジスタ116がすべてオンとなる。一方、当該クロック信号CLYの立ち下がりによってラッチパルスLPが出力される。そして、このラッチパルスLPの立ち下がりタイミングにおいて、第2のラッチ回路

1430は、第1のラッチ回路1420によって点順次的にラッチされた2値信号D<sub>s</sub>を、対応するデータ線114の各々にデータ信号d1、d2、d3、…、d<sub>n</sub>として一斉に供給する。このため、上から数えて1行目の画素110においては、データ信号d1、d2、d3、…、d<sub>n</sub>の書き込みが同時に行われることとなる。

5 この書き込みと並行して、図1において上から2本目の走査線112との交差に対応する画素1行分の2値信号D<sub>s</sub>が、第1のラッチ回路1420により点順次的にラッチされる。

そして、以降同様な動作が、m本目の走査線112に対応する走査信号G<sub>m</sub>が出力されるまで繰り返される。すなわち、ある走査信号G<sub>i</sub>（iは、1≤i≤mを満たす整数）が出力される1水平走査期間（1H）においては、i本目の走査線112に対応する画素110の1行分に対するデータ信号d1～d<sub>n</sub>の書き込みと、(i+1)本目の走査線112に対応する画素110の1行分に対する2値信号D<sub>s</sub>の点順次的なラッチとが並行して行われることになる。なお、画素110に書き込まれたデータ信号は、次のサブフィールドS<sub>f</sub>2における書き込みまで保持される。

15 以下同様な動作が、サブフィールドの開始を規定するスタートパルスD<sub>Y</sub>が供給される毎に繰り返される。ただし、データ変換回路300（図1参照）は、階調データD0～D2から2値信号D<sub>s</sub>への変換については、サブフィールドS<sub>f</sub>1～S<sub>f</sub>7のうち、対応するサブフィールドの項目が参照される。

さらに、1フィールド経過後、交流化駆動信号F<sub>R</sub>がHレベルに反転した場合においても、各サブフィールドにおいて同様な動作が繰り返される。ただし、階調データD0～D2から2値信号D<sub>s</sub>への変換については、図5（b）に示されるテーブルが参照されることになる。

次に、このような動作が行われることによって、画素110における液晶層への印加電圧について検討する。図7は、階調データと、画素110における画素電極118への印加波形を示すタイミングチャートである。

例えば、交流化駆動信号F<sub>R</sub>がLレベルである場合に、ある画素の階調データD0～D2が(000)であるとき、図5（a）に示される変換内容に従う結果、当該画素の画素電極118には、図7に示されるように、1フィールド(1f)にわ

たってLレベルが書き込まれる。ここで、上述したようにLレベルは電圧V0であるので、当該液晶層に印加される電圧実効値はV0となる。したがって、当該画素の透過率は、階調データ(000)に対応して0%となる。

また、ある画素の階調データD0～D2が(100)であるとき、図5(a)に示される変換内容に従う結果、当該画素の画素電極118には、図7に示されるように、サブフィールドSf1～Sf4においてはHレベルが、以降のサブフィールドSf5～Sf7においてはLレベルが、それぞれ書き込まれる。ここで、サブフィールドSf1～Sf4の期間が1フィールド(1f)において占める割合は(V4/V7)2であり、この期間にHレベルたる電圧V7が書き込まれるので、1フィールドにおいて当該画素の画素電極118に印加される電圧実効値はV4となる。したがって、当該画素の透過率は、階調データ(100)に対応して57.1%となる。なお、他の階調データについては、別段説明を要しないであろう。

さらに、ある画素の階調データD0～D2が(111)であるとき、図5(a)に示される変換内容に従う結果、当該画素の画素電極118には、図7に示されるように、1フィールド(1f)にわたってHレベルが書き込まれる。したがって、当該画素の透過率は、階調データ(111)に対応して100%となる。

一方、交流化駆動信号FRがHレベルである場合に、Hレベルの場合と反転したレベルが画素電極118に印加される。このため、HレベルたるV7とLレベルたるV0との中間値を電圧の基準としてみた場合、交流化駆動信号FRがHレベルの場合に各液晶層の印加電圧は、交流化駆動信号FRがLレベルの場合の印加電圧とは極性を反転したものであって、かつ、その絶対値は等しいものとなる。したがって、液晶層に直流成分が印加される事態が回避される結果、液晶105の劣化が防止されることになる。

このような実施形態に係る電気光学装置によれば、1フィールド(1f)を、階調特性の電圧比率に応じてサブフィールドSf1～Sf7に分割し、各サブフィールド毎に、画素にHレベルまたはLレベルを書き込んで、1フィールドにおける電圧実効値が制御される。このため、データ線114に供給されるデータ信号d1～dnは、本実施形態では、Hレベル(=V7)またはLレベル(=V0)のみであ

って、2値的であるため、駆動回路などの周辺回路においては、高精度のD/A変換回路やオペアンプなどのような、アナログ信号を処理するための回路は不要となる。このため、回路構成が大幅に簡略化されるので、装置全体のコストを低く抑えすることが可能となる。さらに、データ線114に供給されるデータ信号d1～dnは2値的であるため、素子特性や配線抵抗などの不均一性に起因する表示ムラが原理的に発生しない。このため、本実施形態に係る電気光学装置によれば、高品位かつ高精細な階調表示が可能となる。

なお、上記実施形態にあっては、交流化駆動信号FRを1フィールドの周期でレベル反転することとしたが、本発明は、これに限らず、例えば、2フィールド以上の周期でレベル反転する構成としてもよい。

#### ＜応用形態①＞

上記実施形態においては、各サブフィールドの書き込みを、最も短いサブフィールドよりもさらに短い期間(1Va)で完了する必要がある。一方、上記実施形態では、8階調表示としたが、例えば、16階調表示、64階調表示、……のように階調表示度数を高めるためには、サブフィールドの期間をさらに短くして、各サブフィールドの書き込みを、より短期間で完了させる必要が生じる。

しかしながら、駆動回路、特に、データ線駆動回路140におけるXシフトレジスタ1410は、実際には上限付近の動作周波数で動作しているので、このまでは、階調表示度数を高めることができない。そこで、この点に改良を施した応用形態について説明する。

図8は、この応用形態に係る電気光学装置におけるデータ線駆動回路の構成を示すブロック図である。この図において、Xシフトレジスタ1412は、ラッチパルスLPをクロック信号CLXにしたがって転送する点においては、図3に示されるXシフトレジスタ1410と同様であるが、その段数が半分となっている点において、Xシフトレジスタ1410と相違している。すなわち、n=2pを満たす整数pを想定すると、Xシフトレジスタ1412は、ラッチ信号S1、S2、…、Spを順次出力する構成となっている。

また、この応用形態において2値信号は、左から数えて奇数本目のデータ線11

4への2値信号D<sub>s</sub>1と、偶数本目のデータ線114への2値信号D<sub>s</sub>2との2系統に分けられて供給される。さらに、第1のラッチ回路1422では、奇数本目のデータ線114に対応して2値信号D<sub>s</sub>1をラッチするものと、それに続く偶数本目のデータ線114に対応して2値信号D<sub>s</sub>2をラッチするものとが組となって、  
5 それぞれ同一のラッチ信号の立ち下がりで同時にラッチを行う構成となっている。

したがって、このようなデータ線駆動回路140によれば、図9に示されるように、同一のラッチ信号S1、S2、S3、…によって同時に画素2個分の2値信号D<sub>s</sub>1、D<sub>s</sub>2がラッチされるので、クロック信号CLXの周波数を上記実施形態と同一に維持したまま、必要な水平走査期間を半分に短縮することができる。さら  
10 に、Xシフトレジスタ1412を構成する単位回路の段数は、データ線114の総本数に対応する「n」から、その半分である「p」に削減される。このため、Xシフトレジスタ1412の構成を、Xシフトレジスタ1410（図3参照）と比較して簡略化することも可能となる。

一方、Xシフトレジスタ1412を構成する単位回路の段数が半分で済むということは、必要な水平走査期間を同じとするのであれば、クロック信号CLXを半分に低下させることができることを意味する。このため、水平走査期間を同じとするのであれば、動作周波数に起因して消費される電力を抑えることもできる。

なお、この応用形態にあっては、ラッチ信号によって同時にラッチ動作を行う第1のラッチ回路1422の個数を「2」としたが、「3」以上としてもよいのはもちろんである。この場合には、2値信号は、当該個数に応じた系統に分けられて供給され、シフトレジスタ1412の段数はデータ線数をその個数で除した数に減らすことができる。

#### ＜応用形態②＞

また、上記実施形態においては、各サブフィールドにおける書き込み期間（1Va）で完了する。このため、あるサブフィールドにおいて、書き込みが完了した後から次のサブフィールドが開始するまでの期間では、各画素の液晶層において書き込まれた電圧の保持動作が行われるのみである。

一方、上記実施形態における駆動回路、特に、データ線駆動回路140には、非

常に高周波数のクロック信号 CLX が供給される。一般に、シフトレジスタには、クロック信号をゲートで入力するクロックドインバータが極めて多数備えられるので、クロック信号 CLX の供給源であるタイミング信号生成回路 200 からみると、Xシフトレジスタ 1410 (1412) は容量負荷となる。

5 したがって、上述した保持動作が行われる期間において、クロック信号 CLX を供給する構成では、容量負荷によって無駄に電力が消費される結果、消費電力の増大を招くことになる。そこで、この点に改良を施した応用形態について説明する。

この応用形態においては、クロック信号 CLX がタイミング信号生成回路 200 から Xシフトレジスタ 1410 (1412) に至るまでの途中に、図 10 に示されるクロック信号供給制御回路 400 が介挿される構成となっている。ここで、クロック信号供給制御回路 400 は、RS フリップフロップ 402 と、AND 回路 404 とを備えている。このうち、RS フリップフロップ 402 は、セット入力端 S にスタートパルス DY を入力するとともに、リセット入力端 R に走査信号 Gm を入力するものである。また、AND 回路 404 は、タイミング信号生成回路 200 から 15 供給されるクロック信号 CLX と、RS フリップフロップ 402 の出力端 Q から出力される信号との論理積信号を求めて、これをデータ線駆動回路 140 における Xシフトレジスタ 1410 (1412) へのクロック信号 CLX として供給するものである。

ここで、クロック信号供給制御回路 400において、あるサブフィールドの最初においてスタートパルス DY が供給されると、RS フリップフロップ 402 がセットされるので、その出力端 Q から出力されるイネーブル信号 Enb は、図 11 に示されるように H レベルとなる。このため、AND 回路 404 が開くので、Xシフトレジスタ 1410 (1412) へのクロック信号 CLX の供給が開始される。そして、データ線駆動回路 140 においては、この直後に供給されるラッチパルス LP を契機に、第 1 のラッチ回路 1420 (1422) によるデータの点順次的なラッチが行われることとなる。

一方、スタートパルス DY によってクロック信号 CLX の供給が開始された後、そのサブフィールドにおいて最後（上から数えて m 本目）の走査線 112 を選択す

る走査信号  $G_m$  が供給されると、RSフリップフロップ402がリセットされるので、その出力端Qから出力される信号  $E_{nb}$  は、図11に示されるようにLレベルとなる。このため、AND回路404が閉じるので、Xシフトレジスタ1410（1412）へのクロック信号  $CL_X$  の供給が遮断される。ここで、走査信号  $G_m$  が  
5 供給される以前には、 $m$ 本目の走査線112との交差に対応する画素1行分のデータが、第1のラッチ回路1420（1422）によりラッチされているはずであるから、次のサブフィールドの開始まで、クロック信号  $CL_X$  が遮断されても問題がない。

このようなクロック信号供給制御回路400を設けると、クロック信号  $CL_X$  が  
10 必要なときだけXシフトレジスタ1410（1412）に供給されるので、容量負荷により消費される電力をそれだけ抑えることが可能となる。また、Y側のクロック信号  $CL_Y$  においても同様なクロック信号供給制御回路を設けてもよいが、クロック信号  $CL_Y$  は、X側のクロック信号  $CL_X$  よりも周波数が圧倒的に低い。このため、Y側において、容量負荷により消費される電力は、X側と比較して、あまり  
15 問題にはならない。

### ＜応用形態③＞

さらに、上記実施形態にあっては、電圧  $V_0$  をLレベルとして規定し、電圧  $V_7$  をHレベルとして規定したが、この構成では、単一の電源電圧から、透過率が100%となる電圧  $V_7$  を別途生成する必要がある。しかしながら、図4（a）から明らかのように、 $V_7$  以上の電圧実効値を印加すれば透過率100%を得ることができるので、電圧  $V_7$  を別途生成しなくても、電源の高電位側電圧  $V_{cc}$ （例えば3V）をそのままHレベルとして用いればよい。このように  $V_{cc}$  をHレベルとして規定すれば電源電圧のみで階調表示が可能となる。

また、電圧  $V_{cc}$  をHレベルに用いる構成では、電圧  $V_7$  を、上記実施形態における電圧  $V_2 \sim V_6$  と同様にして扱うとともに、1フィールド（1f）を、次のような期間を有する8つのサブフィールド  $S_f 1 \sim S_f 8$  に分けてよい。

すなわち、サブフィールド  $S_f 1$  を、1フィールド（1f）に対して  $(V_1 / V_{cc})^2$  となる期間に設定し、また、サブフィールド  $S_f 2$  を、1フィールド（1f）

f) に対して  $(V2/V_{ccc})^2 - (V1/V_{ccc})^2$  となる期間に設定し、同様に、サブフィールド S f 3 を、1 フィールド (1 f) に対して  $(V3/V_{ccc})^2 - (V2/V_{ccc})^2$  となる期間に設定して、以下同様にして設定して、最終的に、サブフィールド S f 8 を、1 フィールド (1 f) に対して  $(V_{ccc}/V_{ccc})^2 - (V7/V_{ccc})^2$  となる期間に設定する。

そして、このように期間を設定したサブフィールド S f 1 ~ S f 8 のうち、サブフィールド S f 1 ~ S f 7 においては、上記第 1 実施形態と同様な書きを行うものとする。一方、新たなサブフィールド S f 8 については、交流化駆動信号 F R のレベル、すなわち、対向電極 108 の電位に対して同一レベルとすればよい。これにより、サブフィールド S f 8 において、液晶層は、階調データにかかわらず電圧無印加状態となる。換言すれば、透過率 100% とするためには、1 フィールド (1 f) において常に液晶層をオン状態にさせる必要はない、ということである。

#### ＜応用形態④＞

上記実施形態においては、1 フィールドの開始時点から、階調データに応じた期間だけ画素をオンにする電圧を印加するようにした。すなわち、図 7 に示したように、階調データ (0 0 1) に応じて実効電圧 V 1 を画素に印加する場合には、サブフィールド S f 1 においてオン電圧を印加し、階調データ (0 1 1) に応じて実効電圧 V 3 を画素に印加する場合には、サブフィールド S f 1 ~ S f 3 においてオン電圧を印加し、階調データ (1 1 0) に応じて実効電圧 V 6 を画素に印加する場合には、サブフィールド S f 1 ~ S f 6 においてオン電圧を印加する、といった具合である。このため、1 フィールドを、表示すべき階調数に応じた個数のサブフィールドに分割するようにした。しかしながら、各サブフィールドの分割の態様はこれに限られるものではなく、例えば以下のようにしてもよい。

図 12 (a) および (b) は、本応用形態に係る電気光学装置のデータ変換回路 300 の機能を表す真理値表である。また、図 13 は、本応用形態に係る電気光学装置の動作を示すタイミングチャートである。

本応用形態においては、1 フィールドを 4 個のサブフィールドに分割し、図 12 (a) または (b) に示す真理値表に従って、これらの 4 個のサブフィールド S f

0～S f 3の各々においてオン・オフ駆動を行うことにより、3ビットの階調データに対応した8階調の階調表示を行う。ここで、本応用形態における各サブフィールドの時間長の配分は、図13に示すように、上記実施形態とは一部異なったものとなっている。具体的には、以下のa～dに示すように、各サブフィールドの時間長が、各々異なる重みを有する実効電圧を各画素に与え得るだけの時間長となっている。

a. サブフィールドS f 0は、図4(a)における液晶の閾値V T H 1相当の実効電圧を液晶層に与え得るだけの時間長となっている。

b. サブフィールドS f 1は、重み「1」に相当する実効電圧を画素に与え得るだけの時間長となっている。

c. サブフィールドS f 2は、重み「2」に相当する実効電圧を画素に与え得るだけの時間長となっている。

d. サブフィールドS f 3は、重み「4」に相当する実効電圧を画素に与え得るだけの時間長となっている。

なお、上記からも明らかなように、液晶層に対して何らかの実効電圧を印加すべき場合には、サブフィールドS f 0において画素はオン状態とされる。このため、図12(a)および(b)に示すように、(0 0 0)以外の階調データについては、サブフィールドS f 0の2値信号D sは画素をオンにするレベルとなっている。

次に、図13を参照して、階調データに応じて各画素に印加される電圧について説明する。例えば、階調データが(0 0 1)である場合、サブフィールドS f 0およびS f 1において画素をオンとする電圧が印加され、この結果、1フィールドにおいて液晶層に印加される電圧実効値はV 1となる。同様に、階調データが(0 1 0)である場合には、サブフィールドS f 0およびS f 2において画素をオンとする電圧が印加され、この結果1フィールドにおいて液晶層に印加される電圧実効値はV 2となる。これ以外の階調データについても、図12(a)および(b)に示す真理値表に従って、各サブフィールドにおいて画素をオンにする電圧を印加するか画素をオフにする電圧を印加するかが決定され、この結果、階調データに応じた実効電圧が液晶層に印加されることとなる。

5 このように、本応用形態においても、上記実施形態と同様の効果が得られる。さらに、本実施形態によれば、上記実施形態と同じ階調数での階調表示を行う場合に、上記実施形態よりもサブフィールドの個数を少なくすることができる。従って、1 フィールド内におけるデータ書き換えの回数を少なくすることができるから、消費電力を低減することができるという利点がある。

10 なお、サブフィールドの数およびその時間長は、表示すべき階調数や、用いられる液晶装置における画素の電圧／透過率特性に応じて決められるものであり、本応用形態に示したものに限られないことはもちろんである。さらに、本応用形態においては、サブフィールド  $S_f 0$  を液晶の閾値  $V_{TH1}$  を画素に印加し得るだけの時間長を有するサブフィールドとしたが、必ずしもこのようなサブフィールドを設ける必要はない。要は、図 4 (a) 中の電圧  $V_{TH1}$  ~  $V_7$  の間で、表示すべき階調に応じた実効電圧を画素に印加できるように、サブフィールドの数およびその時間長が決定されていればよいのである。さらに、画素電極に印加する電圧も、上記応用形態③において説明したように、電源電圧  $V_{CC}$  を H レベルとして用いてもよい

15 ことは言うまでもない。

さらに、本応用形態においては、実効電圧  $V_{TH1}$  を画素に印加するためのサブフィールド  $S_f 0$  を各フィールドの最初に設けるようにしたが、このサブフィールドの位置は、各フィールドのうちのいずれの位置にあってもよい。また、本応用形態においては、画素に対して実効電圧  $V_{TH1}$  を印加し得るサブフィールドとして 20 1 つのサブフィールド  $S_f 0$  のみを設けるようにしたが、これに限らず、以下のようにしてもよい。すなわち、例えば、上記サブフィールド  $S_f 0$  を設けず、その代わりに各サブフィールド  $S_f 1$  ~  $S_f 3$  の間に所定の期間を設け、これらの所定の期間の合計の時間長が、画素に対して電圧実効値  $V_{TH1}$  を印加し得る時間長となるようにしてもよい。換言すれば、実効電圧  $V_{TH1}$  を印加し得る時間長を有する 25 上記サブフィールド  $S_f 0$  を複数の期間に分割し、これらの各期間を後続の各サブフィールドの間に介挿するようにしてもよい。要は、1 フィールドからサブフィールド  $S_f 1$  ~  $S_f 3$  を除いた期間の時間長が、画素に対して実効電圧  $V_{TH1}$  を印加し得る時間長となつていればよいのである。

## &lt;液晶装置の全体構成&gt;

次に、上記実施形態や応用形態に係る電気光学装置の構造について、図14および図15を参照して説明する。ここで、図14は、電気光学装置100の構成を示す平面図であり、図15は、図14におけるA-A'線の断面図である。

5 これらの図に示されるように、電気光学装置100は、画素電極118などが形成された素子基板101と、対向電極108などが形成された対向基板102とともに、互いにシール材104によって一定の間隙を保って貼り合わせられるとともに、この間隙に電気光学材料としての液晶105が挟持された構造となっている。なお、実際には、シール材104には切欠部分があって、ここを介して液晶105が封10 入された後、封止材により封止されるが、これらの図においては省略されている。

ここで、素子基板101を上述したように半導体基板とした場合、基板は不透明である。このため、画素電極118は、アルミニウムなどの反射性金属から形成されて、電気光学装置100は、反射型として用いられることになる。これに対して、対向基板102は、ガラスなどから構成されるので透明である。もちろん、素子15 基板101をガラス等の透明な絶縁基板で構成しても構わない。このような絶縁基板を用いた場合、画素電極を反射性金属により形成すれば反射型表示、それ以外の材質により形成すれば透過型表示とすることができます。

さて、素子基板101において、シール材104の内側かつ表示領域101aの外側領域には、遮光膜106が設けられている。この遮光膜106が形成される領域内のうち、領域130aには走査線駆動回路130が形成され、また、領域140aにはデータ線駆動回路140が形成されている。すなわち、遮光膜106は、この領域に形成される駆動回路に光が入射するのを防止している。この遮光膜106には、対向電極108とともに、交流化駆動信号FRが印加される構成となっている。このため、遮光膜106が形成された領域では、液晶層への印加電圧がほぼ25 ゼロとなるので、画素電極118の電圧無印加状態と同じ表示状態となる。

また、素子基板101において、データ線駆動回路140が形成される領域140a外側であって、シール材104を隔てた領域107には、複数の接続端子が形成されて、外部からの制御信号や電源などを入力する構成となっている。

一方、対向基板 102 の対向電極 108 は、基板貼合部分における 4 隅のうち、少なくとも 1 箇所において設けられた導通材（図示省略）によって、素子基板 101 における遮光膜 106 および接続端子と電気的な導通が図られている。すなわち、交流化駆動信号 F R は、素子基板 101 に設けられた接続端子を介して、遮光膜 106 に、さらに、導通材を介して対向電極 108 に、それぞれ印加される構成となっている。

ほかに、対向基板 102 には、電気光学装置 100 の用途に応じて、例えば、直視型であれば、第 1 に、ストライプ状や、モザイク状、トライアングル状等に配列したカラーフィルタが設けられ、第 2 に、例えば、金属材料や樹脂などからなる遮光膜（ブラックマトリクス）が設けられる。なお、色光変調の用途の場合には、例えば、後述するプロジェクタのライトバルブとして用いる場合には、カラーフィルタは形成されない。また、直視型の場合、電気光学装置 100 に光を対向基板 102 側から照射するフロントライトが必要に応じて設けられる。くわえて、素子基板 101 および対向基板 102 の電極形成面には、それぞれ所定の方向にラビング処理された配向膜（図示省略）などが設けられて、電圧無印加状態における液晶分子の配向方向を規定する一方、対向基板 101 の側には、配向方向に応じた偏光子（図示省略）が設けられる。ただし、液晶 105 として、高分子中に微小粒として分散させた高分子分散型液晶を用いれば、前述の配向膜や偏光子などが不要となる結果、光利用効率が高まるので、高輝度化や低消費電力化などの点において有利である。

また、実施形態においては、電気光学装置を構成する素子基板 101 を半導体基板とし、ここに、画素電極 118 に接続されるトランジスタ 116 や、駆動回路の構成素子などを、MOS 型 FET で形成したが、本発明は、これに限られない。例えば、素子基板 101 を、ガラスや石英などの非晶質基板とし、ここに半導体薄膜を堆積して薄膜トランジスタ（TFT）を形成する構成としてもよい。このように TFT を用いると、素子基板 101 として透明基板を用いることができる。

なお、液晶としては、TN 型のほか、180 度以上のねじれ配向を有する STN (Super Twisted Nematic) 型や、BTN (Bi-stable Twisted Nematic) 型・強誘

電型などのメモリ性を有する双安定型、高分子分散型、さらには、分子の長軸方向と短軸方向とで可視光の吸収に異方性を有する染料（ゲスト）を一定の分子配列の液晶（ホスト）に溶解して、染料分子を液晶分子と平行に配列させたゲストホスト型などの液晶を用いることもできる。

5 また、電圧無印加時には液晶分子が両基板に対して垂直方向に配列する一方、電圧印加時には液晶分子が両基板に対して水平方向に配列する、という垂直配向（ホメオトロピック配向）の構成としてもよいし、電圧無印加時には液晶分子が両基板に対して水平方向に配列する一方、電圧印加時には液晶分子が両基板に対して垂直方向に配列する、という平行（水平）配向（ホモジニアス配向）の構成としてもよい。さらに、対向基板に対向電極を配置するのではなく、素子基板上に、画素電極と対向電極とを、互いに間隔を置いて櫛歯状に配置する構成としてもよい。この構成では、液晶分子が水平配向して、電極間による横方向の電界に応じて液晶分子の配向方向が変化することになる。このように、本発明の駆動方法に適合するものであれば、液晶や配向方式として、種々のものを用いることが可能である。

15 くわえて、電気光学装置としては、液晶装置のほかに、エレクトロルミネッセンス（EL）や、デジタルマイクロミラーデバイス（DMD）、プラズマ発光や電子放出による蛍光などを用いて、その電気光学効果により表示を行う装置などの種々の電気光学装置に適用可能である。この場合、電気光学材料としては、EL、ミラーデバイス、ガス、蛍光体などとなる。なお、電気光学材料としてELを用いる場合、素子基板においてELが画素電極と透明導電膜の対向電極との間に介在することになるので、対向基板は不要となる。このように、本発明は、上述した構成と類似の構成を有する電気光学装置、特に、オンまたはオフの2値的な表示を行う画素を用いて、階調表示を行う電気光学装置のすべてに適用可能である。

#### ＜電子機器＞

25 次に、上述した液晶装置を具体的な電子機器に用いた例のいくつかについて説明する。

#### ＜その1：プロジェクタ＞

まず、実施形態に係る電気光学装置をライトバルブとして用いたプロジェクタに

ついて説明する。図16は、このプロジェクタの構成を示す平面図である。この図に示されるように、プロジェクタ1100内部には、偏光照明装置1110がシステム光軸PLに沿って配置している。この偏光照明装置1110において、ランプ1112からの出射光は、リフレクタ1114による反射で略平行な光束となって5、第1のインテグレータレンズ1120に入射する。これにより、ランプ1112からの出射光は、複数の中間光束に分割される。この分割された中間光束は、第2のインテグレータレンズを光入射側に有する偏光変換素子1130によって、偏光方向がほぼ揃った一種類の偏光光束(s偏光光束)に変換されて、偏光照明装置1110から出射されることとなる。

10 さて、偏光照明装置1110から出射されたs偏光光束は、偏光ビームスプリッタ1140のs偏光光束反射面1141によって反射される。この反射光束のうち、青色光(B)の光束がダイクロイックミラー1151の青色光反射層にて反射され、反射型の電気光学装置100Bによって変調される。また、ダイクロイックミラー1151の青色光反射層を透過した光束のうち、赤色光(R)の光束は、ダイ15クロイックミラー1152の赤色光反射層にて反射され、反射型の液電気光学装置100Rによって変調される。一方、ダイクロイックミラー1151の青色光反射層を透過した光束のうち、緑色光(G)の光束は、ダイクロイックミラー1152の赤色光反射層を透過して、反射型の電気光学装置100Gによって変調される。

20 このようにして、電気光学装置100R、100G、100Bによってそれぞれ色光変調された赤色、緑色、青色の光は、ダイクロイックミラー1152、1151、偏光ビームスプリッタ1140によって順次合成された後、投写光学系1160によって、スクリーン1170に投写されることとなる。なお、電気光学装置100R、100Bおよび100Gには、ダイクロイックミラー1151、1152によって、R、G、Bの各原色に対応する光束が入射するので、カラーフィルタは25 必要ない。

なお、本実施形態においては、反射型の電気光学装置を用いたが、透過型表示の電気光学装置を用いたプロジェクタとしても構わない。

＜その2：モバイル型コンピュータ＞

次に、上記電気光学装置を、モバイル型のパーソナルコンピュータに適用した例について説明する。図17は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ1200は、キーボード1202を備えた本体部1204と、表示ユニット1206とから構成されている。この表示ユニット1206は、先に述べた電気光学装置100の前面にフロントライトを付加することにより構成されている。

なお、この構成では、電気光学装置100を反射直視型として用いることになるので、画素電極118において、反射光が様々な方向に散乱するように、凹凸が形成される構成が望ましい。

10 <その3：携帯電話>

さらに、上記電気光学装置を、携帯電話に適用した例について説明する。図18は、この携帯電話の構成を示す斜視図である。図において、携帯電話1300は、複数の操作ボタン1302のほか、受話口1304、送話口1306とともに、電気光学装置100を備えるものである。この電気光学装置100にも、必要に応じてその前面にフロントライトが設けられる。また、この構成でも、電気光学装置100が反射直視型として用いられることになるので、画素電極118に凹凸が形成される構成が望ましい。

なお、電子機器としては、図16～図18を参照して説明した他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種電子機器に対して、実施形態や応用形態に係る電気光学装置が適用可能なのは言うまでもない。

以上説明したように本発明によれば、データ線に印加される信号が2値化され  
25 て、高品位な階調表示が可能となる。

[産業上の利用可能性]

本発明は、パルス幅変調により階調表示制御を行う電気光学装置において最適な

駆動方法であり、さらに、表示特性に優れた表示装置として電子機器に用いるのに適している。

## 請求の範囲

(1) マトリクス状に配設された画素を階調表示させる電気光学装置の駆動方法であって、

5 各フィールドをそれぞれ複数のサブフィールドに分割し、

前記各フィールド内において各画素をオン状態にする電圧の印加時間と画素をオフ状態にする電圧の印加時間との比率が、当該画素の階調に応じた比率となるよう、前記各サブフィールド単位で各画素をオン状態にする電圧または各画素をオフ状態にする電圧を各画素に印加すること

10 を特徴とする電気光学装置の駆動方法。

(2) 1フィールドを分割した各サブフィールドの時間長は、各サブフィールド毎に異なる実効電圧を画素に対して与え得るだけの時間長であることを特徴とする請求項1に記載の電気光学装置の駆動方法。

(3) マトリクス状に配設された画素を階調表示させる電気光学装置の駆動方法  
15 であって、

1 フィールドを複数のサブフィールドに分割する一方、

最初のサブフィールドにおいては、画素をオン状態またはオフ状態とし、

以降のサブフィールドにおいては、当該画素のオン状態またはオフ状態を維持するか否かについて、当該画素の階調に応じて制御する

20 ことを特徴とする電気光学装置の駆動方法。

(4) 前記画素は、複数の走査線と複数のデータ線との各交差に対応して設けられ、当該走査線に走査信号が供給されると、当該データ線に印加されている電圧にしたがってオン状態またはオフ状態とされるものであり、

前記サブフィールド毎に、前記走査信号を前記走査線の各々に順次供給し、

25 前記画素のオン状態またはオフ状態を指示する2値信号を、当該画素に対応する走査線に前記走査信号を供給する際に、当該画素に対応するデータ線に供給することを特徴とする請求項1から3のいずれか1の請求項に記載の電気光学装置の駆動方法。

(5) 複数の走査線と複数のデータ線との各交差に対応して配設された画素電極と、

前記画素電極毎に印加する電圧を制御するスイッチング素子と  
からなる画素を駆動する電気光学装置の駆動回路であって、

5 1フィールドを分割した複数のサブフィールドの各々において、前記スイッチング素子を導通させる走査信号を、前記各走査線に供給する走査線駆動回路と、  
各画素のオン状態またはオフ状態を指示する2値信号を、それぞれ当該画素に対  
応する走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に  
供給するデータ線駆動回路と

10 を具備し、

前記2値信号は、1フィールド内において各画素をオン状態にする時間と各画素  
をオフ状態にする時間との比率が、当該画素の階調に応じた比率となるように各画  
素のオン状態またはオフ状態を指示する信号であること  
を特徴とする電気光学装置の駆動回路。

15 (6) 複数の走査線と複数のデータ線との各交差に対応して配設された画素電極  
と、

前記画素電極毎に印加する電圧を制御するスイッチング素子と  
からなる画素を駆動する電気光学装置の駆動回路であって、  
1フィールドを分割した複数のサブフィールドの各々において、前記スイッチ  
ング素子を導通させる走査信号を、前記各走査線に供給する走査線駆動回路と、  
最初のサブフィールドにおいては、画素をオン状態またはオフ状態を指示する2  
値信号を、

以降のサブフィールドにおいては、当該画素のオン状態またはオフ状態を維持す  
るか否かについて指示する2値信号を、

25 それぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、当該画  
素に対応するデータ線に供給するデータ線駆動回路と  
を具備することを特徴とする電気光学装置の駆動回路。

(7) 前記データ線駆動回路は、さらに、

水平走査期間のはじめに供給されるラッチパルス信号をクロック信号に応じて順次シフトして出力するシフトレジスタと、

前記2値信号を、前記シフトレジスタによりシフトされた信号により順次ラッチする第1のラッチ回路と、

5 前記第1のラッチ回路によりラッチされた2値信号を、前記ラッチパルス信号に基づいてラッチするとともに、対応するデータ線に一斉に出力する第2のラッチ回路と

を備えることを特徴とする請求項5または6に記載の電気光学装置の駆動回路。

(8) 前記第1のラッチ回路は、前記シフトレジスタによりシフトされた信号に10 より、複数系統に分配された2値信号を同時にラッチすることを特徴とする請求項7に記載の電気光学装置の駆動回路。

(9) 1サブフィールドにおいて、前記走査線駆動回路が前記走査線のすべてに対し前記走査信号を供給した後に、前記シフトレジスタへの前記クロック信号の供給を停止させる一方、

15 次のサブフィールドが開始すると、前記クロック信号の供給を再開させるクロック信号供給制御回路を備える

ことを特徴とする請求項7に記載の電気光学装置の駆動回路。

(10) 複数の走査線と複数のデータ線との各交差に対応して配設された画素電極、前記画素電極毎に印加する電圧を制御するスイッチング素子、および前記画素電極に対して対向配置された対向電極を有する画素と、

1フィールドを分割した複数のサブフィールドの各々において、前記スイッチング素子を導通させる走査信号を、前記走査線に供給する走査線駆動回路と、

各画素のオン状態またはオフ状態を指示する2値信号を、それぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に供給するデータ線駆動回路と

を具備し、

前記2値信号は、1フィールド内において各画素をオン状態にする時間と各画素をオフ状態にする時間との比率が、当該画素の階調に応じた比率となるように各画

素のオン状態またはオフ状態を指示する信号であること

を特徴とする電気光学装置。

(11) 複数の走査線と複数のデータ線との各交差に対応して配設された画素電極、前記画素電極毎に印加する電圧を制御するスイッチング素子、および前記画素電極に対して対向配置された対向電極を有する画素と、

1 フィールドを分割した複数のサブフィールドの各々において、前記スイッチング素子を導通させる走査信号を、前記走査線に供給する走査線駆動回路と、

最初のサブフィールドにおいては、画素をオン状態またはオフ状態を指示する2値信号を、

10 以降のサブフィールドにおいては、当該画素のオン状態またはオフ状態を維持するか否かについて指示する2値信号を、

それぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に供給するデータ線駆動回路と

を具備することを特徴とする電気光学装置。

15 (12) 前記対向電極に印加されるレベルに応じて、前記2値信号をレベル反転する

ことを特徴とする請求項10または11に記載の電気光学装置。

(13) 前記画素電極及び前記スイッチング素子が形成される素子基板は、半導体基板からなり、

20 前記走査線駆動回路および前記データ線駆動回路は、前記素子基板に形成され、前記画素電極は反射性を有する

ことを特徴とする請求項10～12のいずれか1の請求項に記載の電気光学装置。

(14) 請求項10～13のいずれか1の請求項に記載の電気光学装置を備える  
25 ことを特徴とする電子機器。

図 1

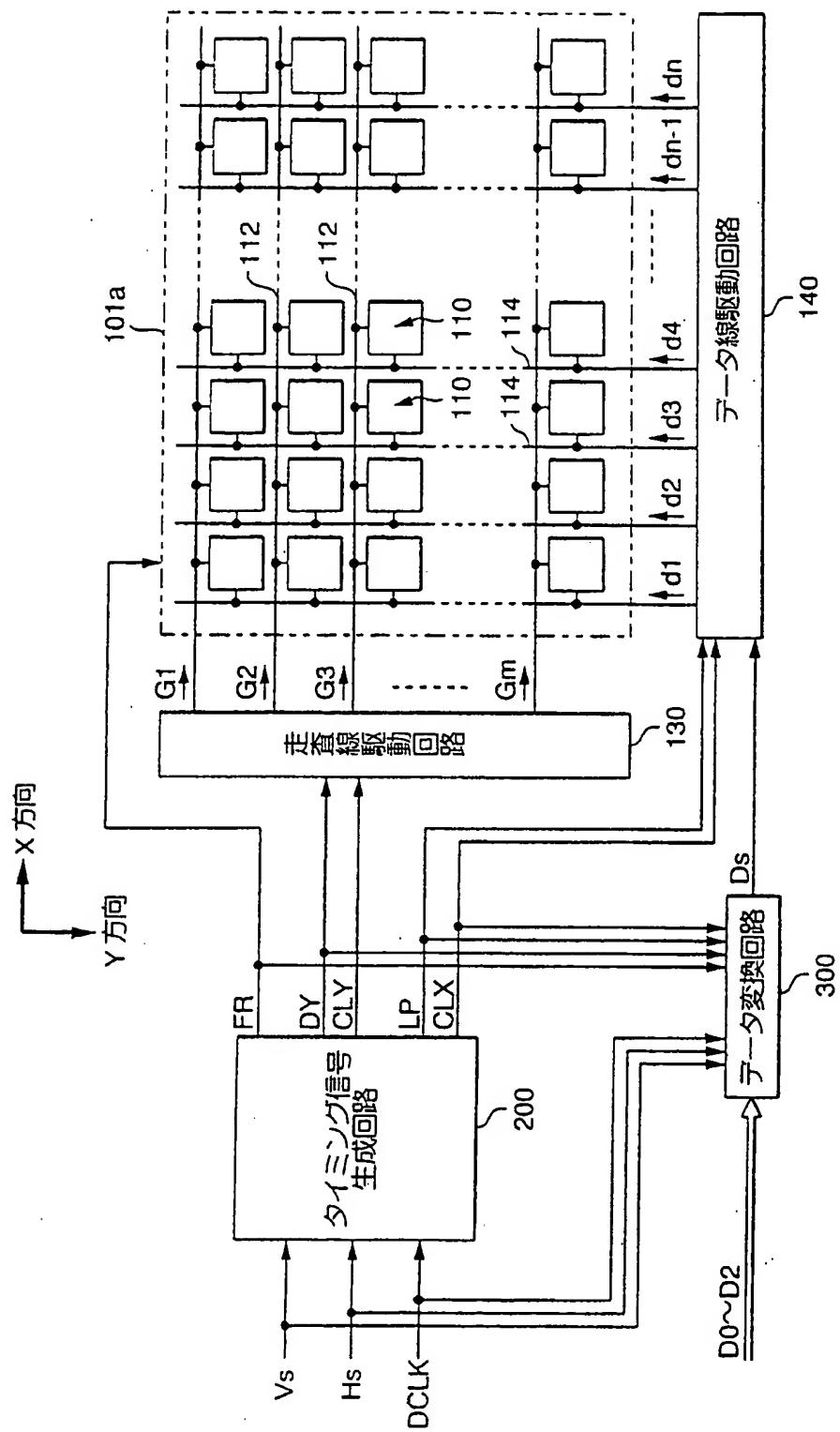


図 2

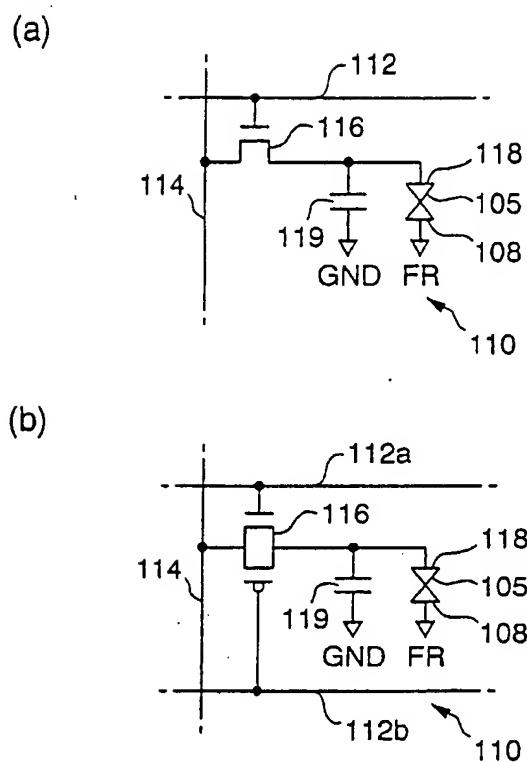


図 3

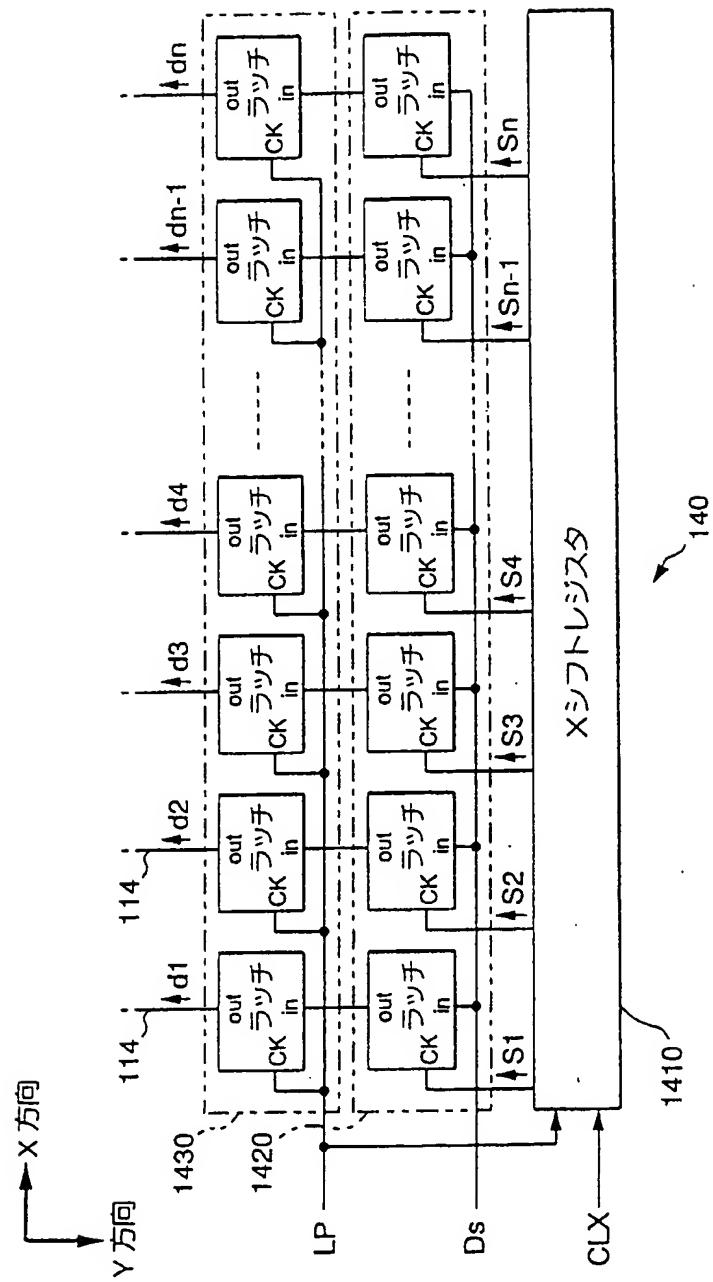


図 4

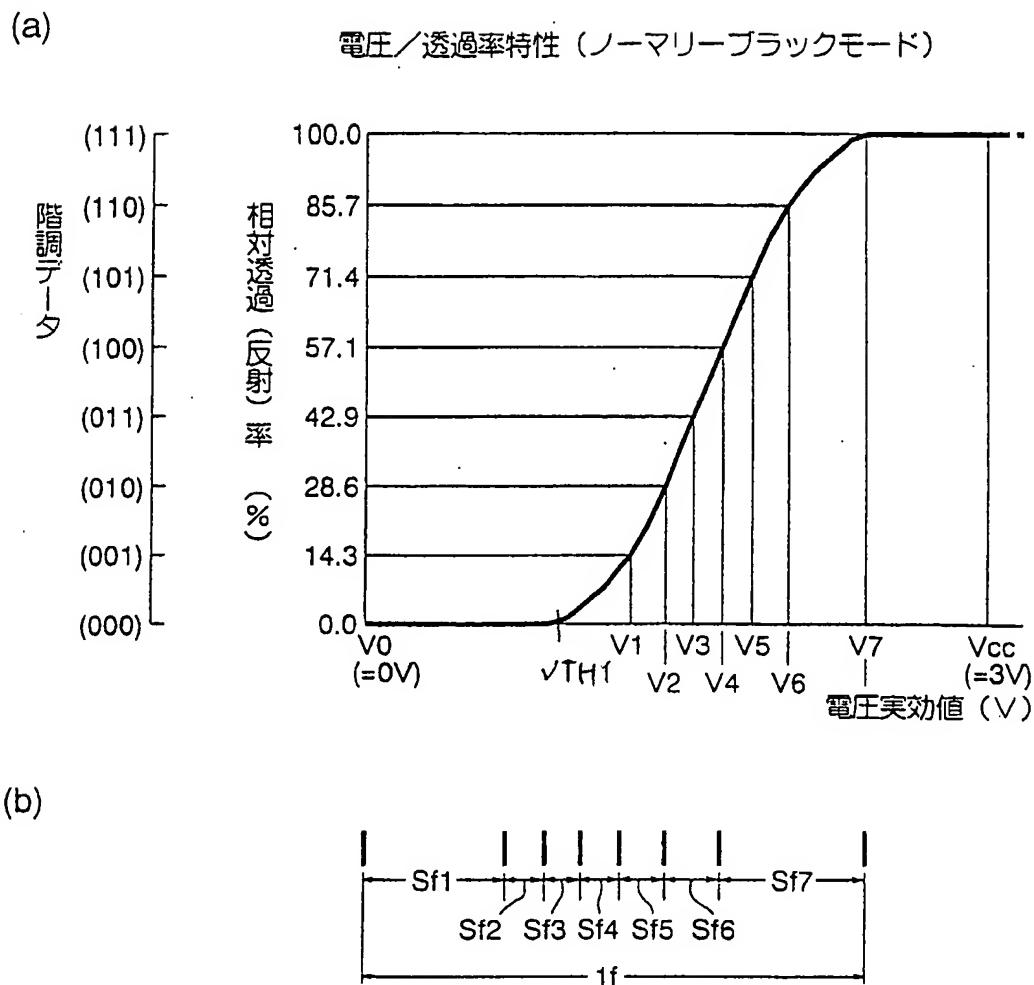


図 5

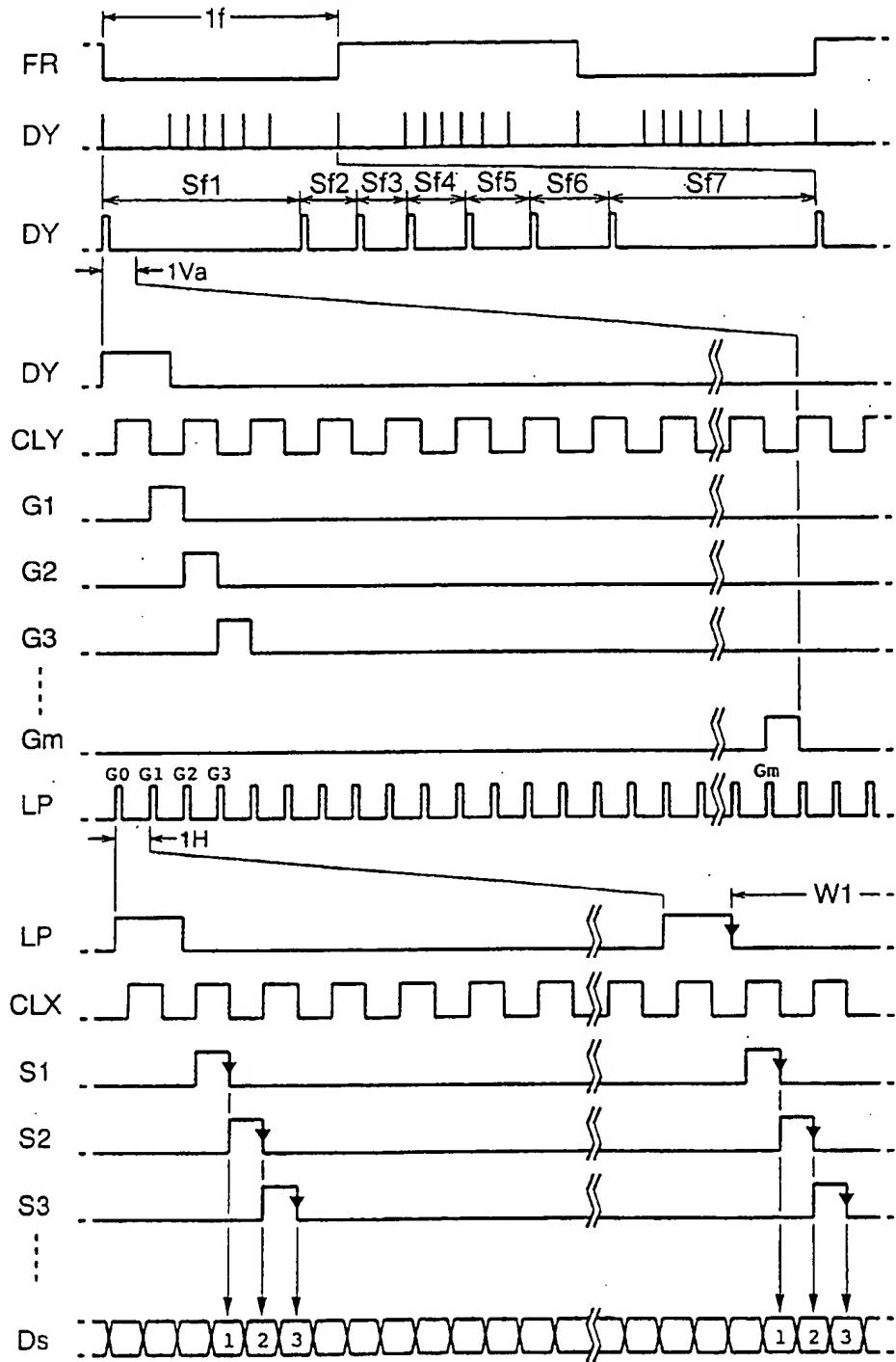
(a) FR=L の場合

階調データ D0~D2	Ds						
	Sf1	Sf2	Sf3	Sf4	Sf5	Sf6	Sf7
(000)	L	L	L	L	L	L	L
(001)	H	L	L	L	L	L	L
(010)	H	H	L	L	L	L	L
(011)	H	H	H	L	L	L	L
(100)	H	H	H	H	L	L	L
(101)	H	H	H	H	H	L	L
(110)	H	H	H	H	H	H	L
(111)	H	H	H	H	H	H	H

(b) FR=H の場合

階調データ D0~D2	Ds						
	Sf1	Sf2	Sf3	Sf4	Sf5	Sf6	Sf7
(000)	H	H	H	H	H	H	H
(001)	L	H	H	H	H	H	H
(010)	L	L	H	H	H	H	H
(011)	L	L	L	H	H	H	H
(100)	L	L	L	L	H	H	H
(101)	L	L	L	L	L	H	H
(110)	L	L	L	L	L	L	H
(111)	L	L	L	L	L	L	L

図 6



四 7

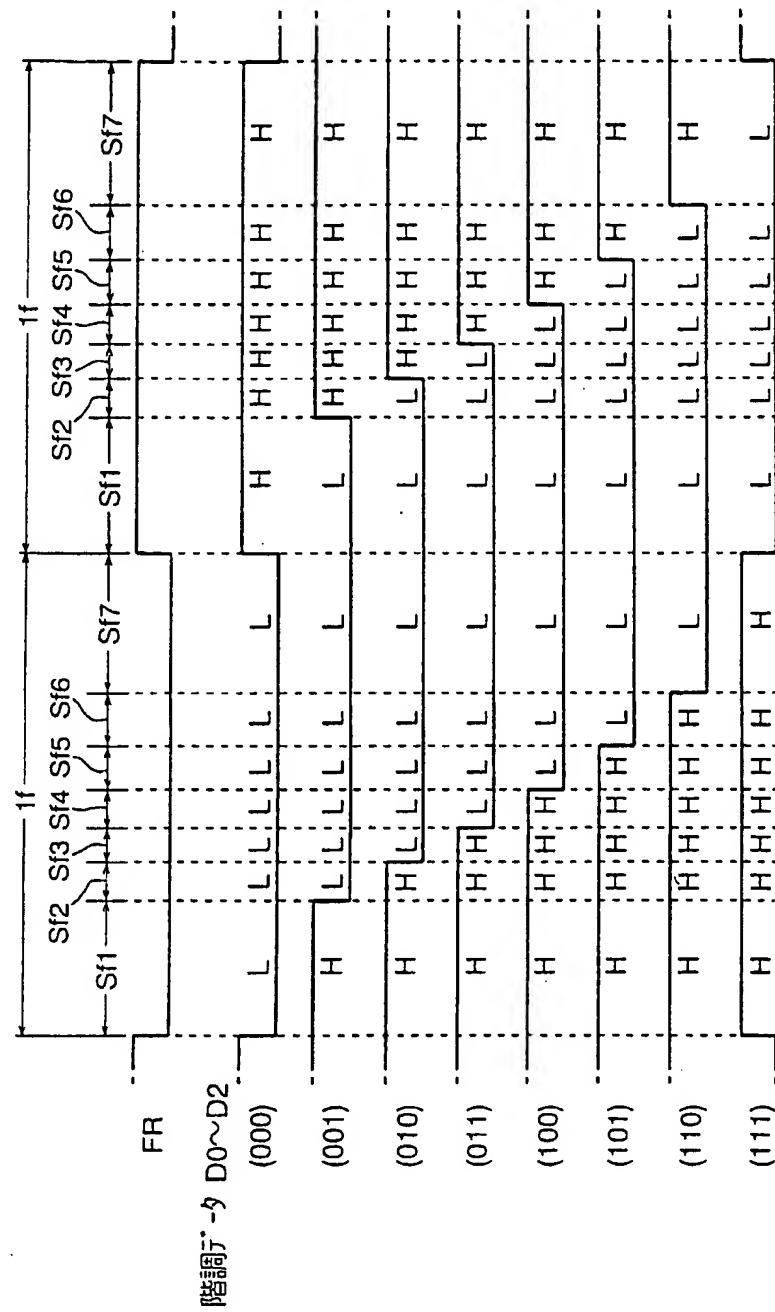


図 8

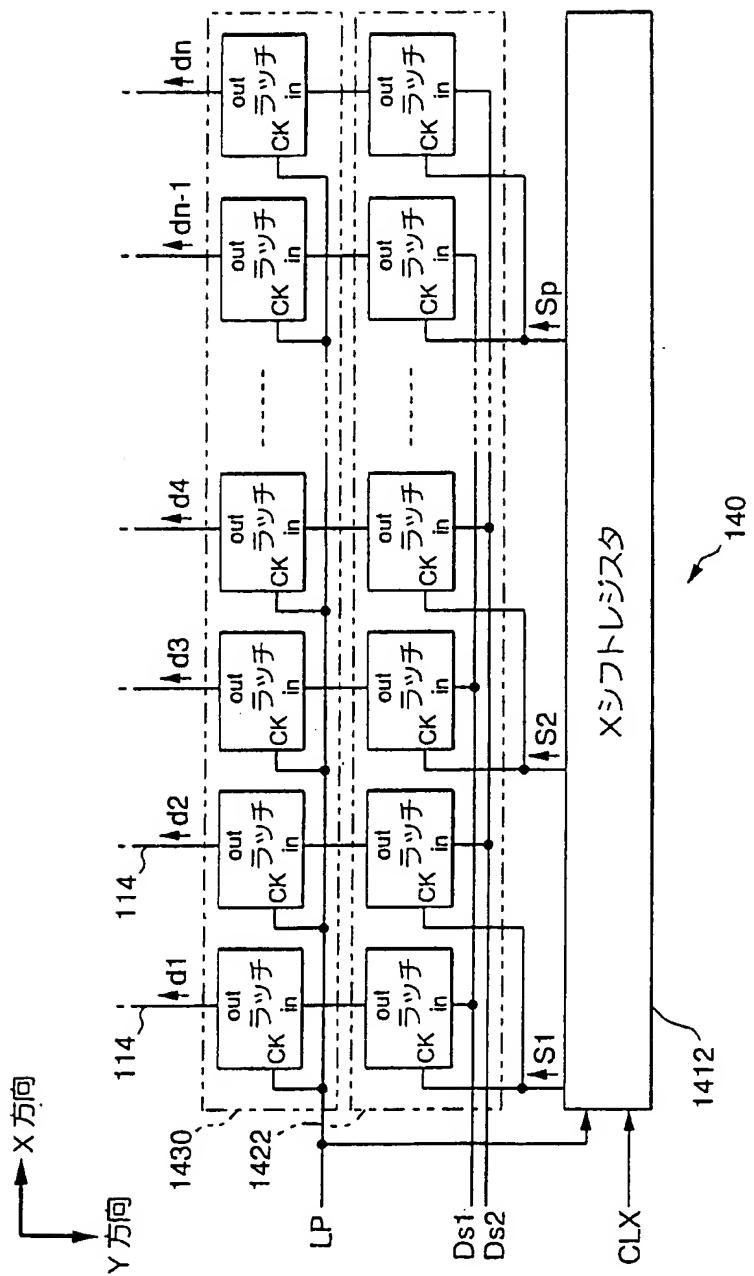


図 9

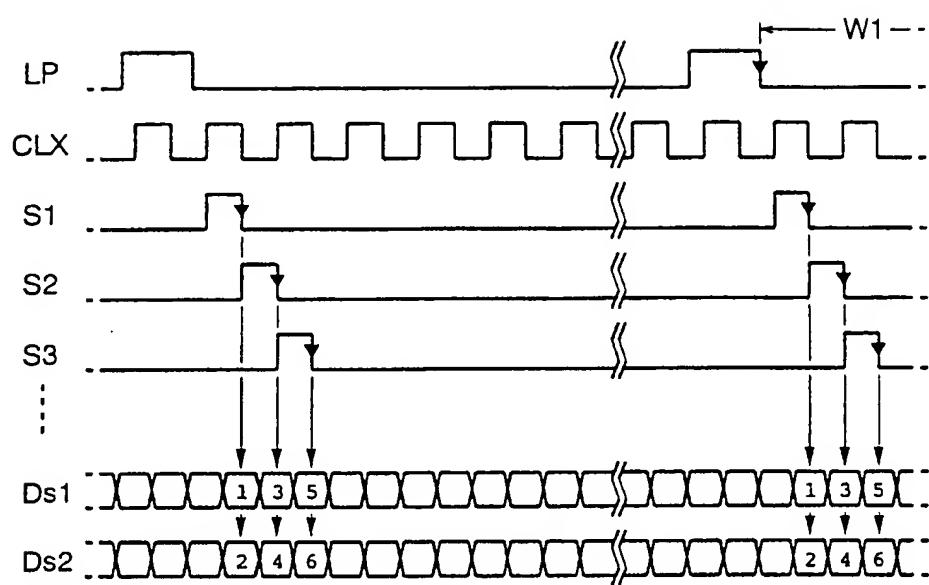


図 10

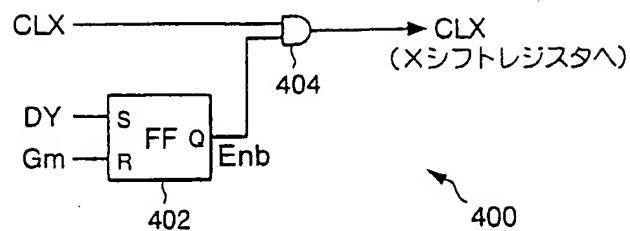


図 11

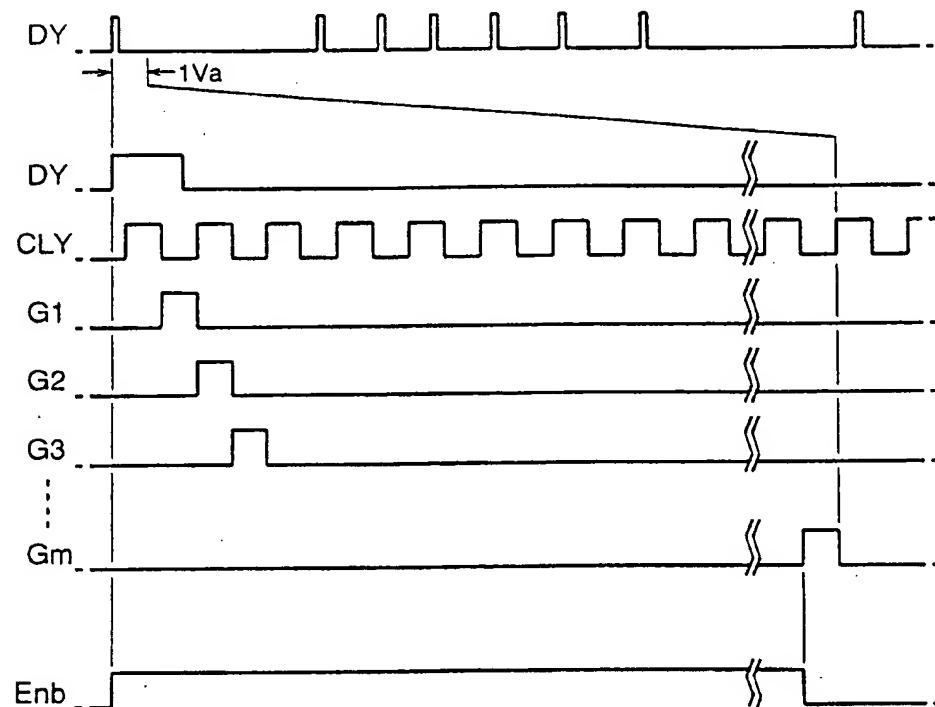


図12

(a) FR=Lの場合

階調データ D0～D2	Ds			
	Sf0	Sf1	Sf2	Sf3
(000)	L	L	L	L
(001)	H	H	L	L
(010)	H	L	H	L
(011)	H	H	H	L
(100)	H	L	L	H
(101)	H	H	L	H
(110)	H	L	H	H
(111)	H	H	H	H

(b) FR=Hの場合

階調データ D0～D2	Ds			
	Sf0	Sf1	Sf2	Sf3
(000)	H	H	H	H
(001)	L	L	H	H
(010)	L	H	L	H
(011)	L	L	L	H
(100)	L	H	H	L
(101)	L	L	H	L
(110)	L	H	L	L
(111)	L	L	L	L

図13

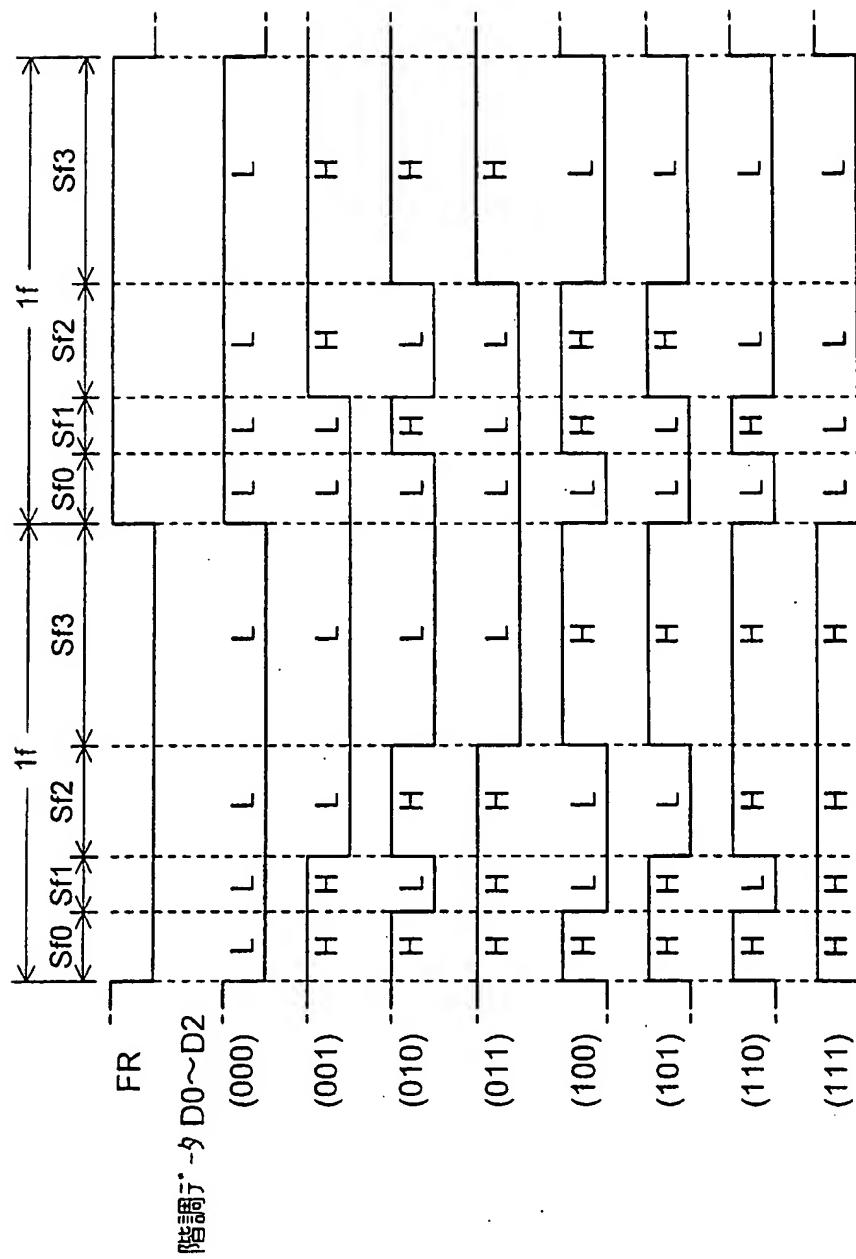


図14

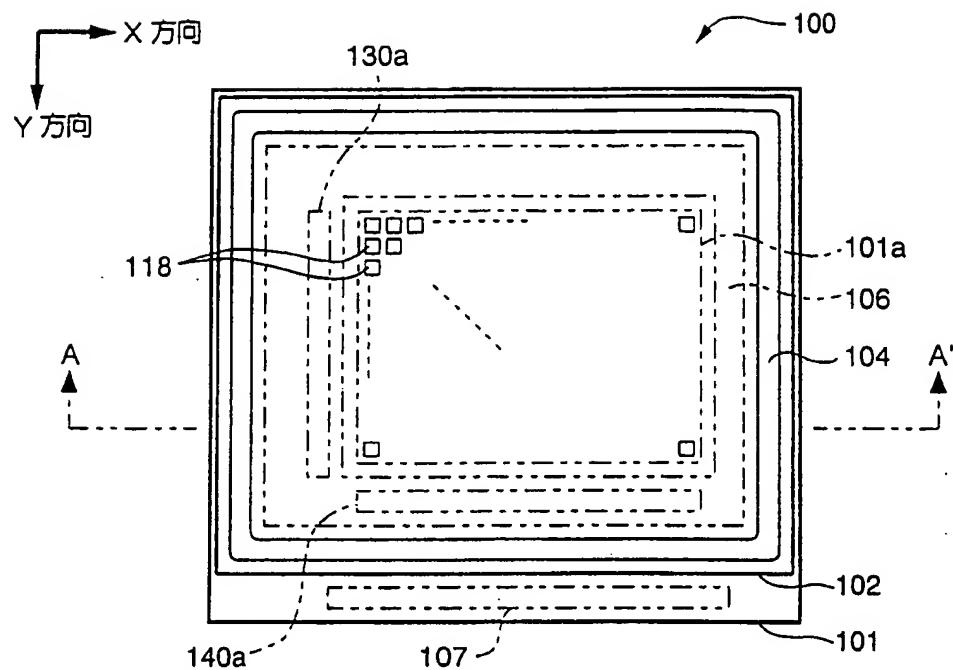


図15

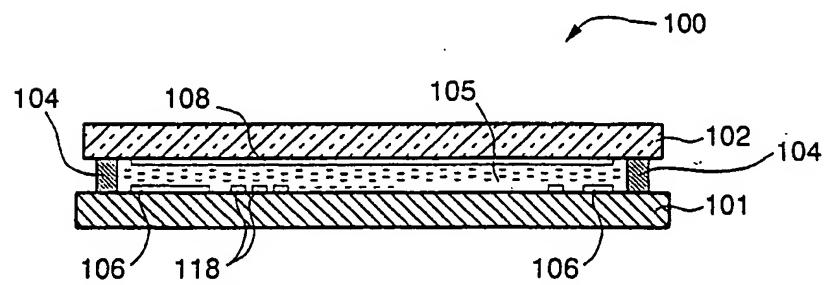


図16

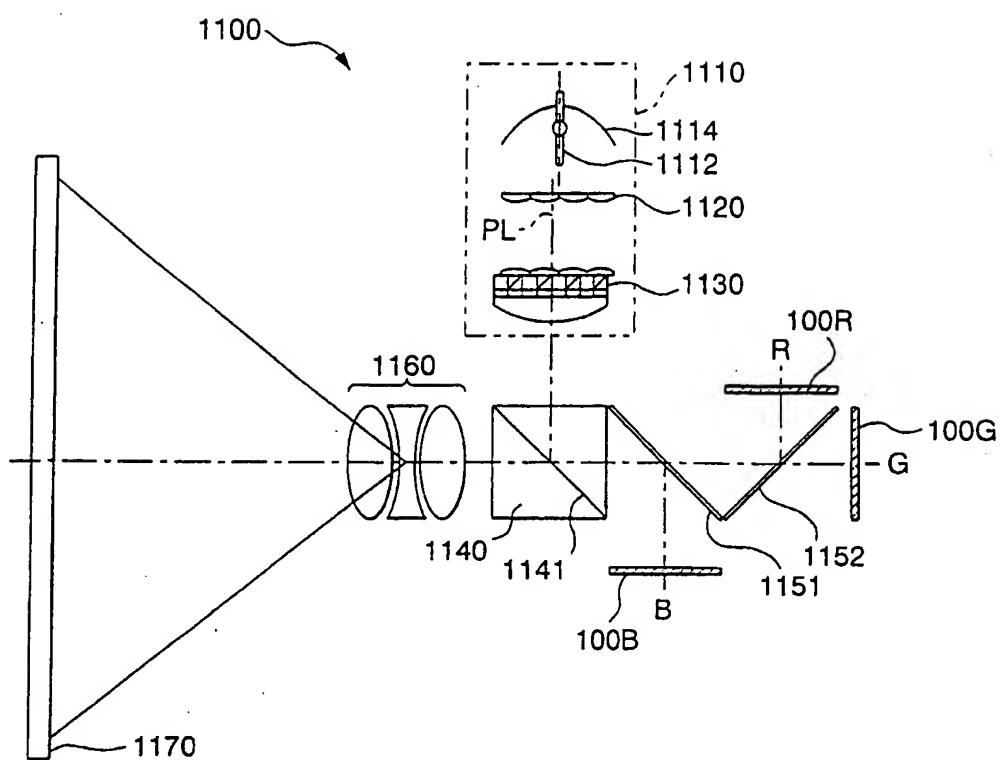


図17

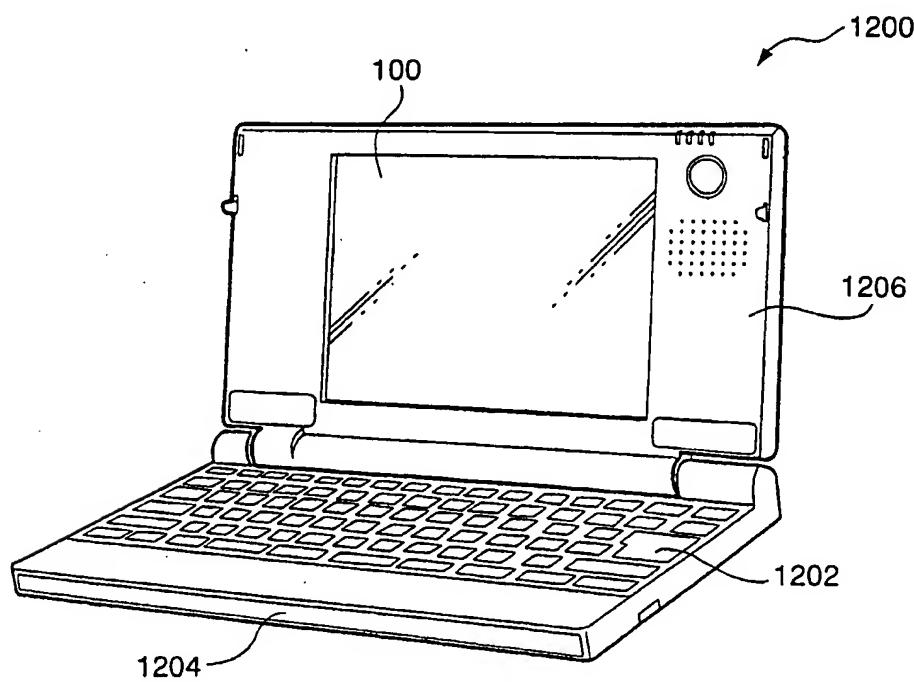
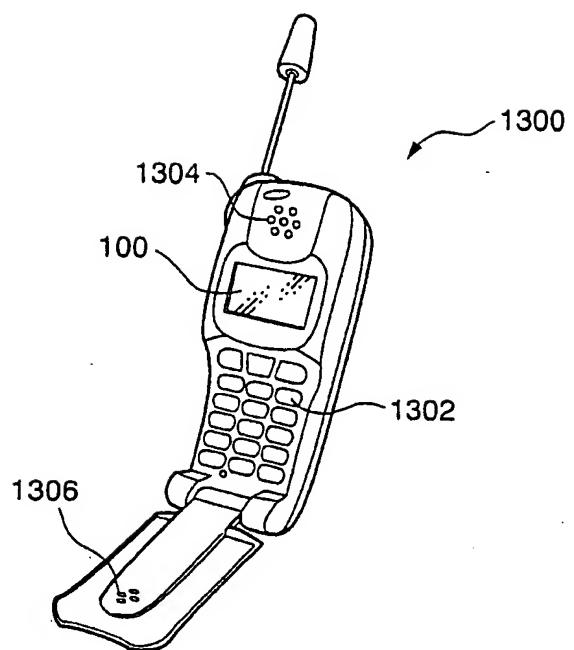


図 18



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03116

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G09G3/20

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2000
Kokai Jitsuyo Shinan Koho	1971-2000	Toroku Jitsuyo Shinan Koho	1994-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 7-49482, A (Fuji Photo Film Co., Ltd.), 21 February, 1995 (21.02.95), Par. Nos. [0002]-[0005]; Fig. 3	1, 2, 4, 5, 10, 14
Y	Par. Nos. [0002]-[0005]; Fig. 3	3, 6, 7, 11-13
A	Par. Nos. [0002]-[0005]; Fig. 3 (Family: none)	8-9
X	JP, 11-38928, A (Sharp Corporation), 12 February, 1999 (12.02.99), Par. No. [0012]; Fig. 18	1, 2, 4, 5, 10, 14
Y	Par. No. [0012]; Fig. 18	3, 6, 7, 11-13
A	Par. No. [0012]; Fig. 18 (Family: none)	8-9
Y	JP, 1-219887, A (Toshiba Corporation), 01 September, 1998 (01.09.98), page 1, lower right column, line 4 to 13; Fig. 5 (Family: none)	3, 6, 11
	JP, 8-163472, A (Nippon Denso Co., Ltd.), 21 June, 1996 (21.06.96),	

Further documents are listed in the continuation of Box C.  See patent family annex.

• Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 07 August, 2000 (07.08.00)	Date of mailing of the international search report 22 August, 2000 (22.08.00)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03116

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Par. Nos. [0027] - [0029]; Figs. 5 to 6	7
A	Par. Nos. [0027] - [0029]; Figs. 5 to 6 & US, 5917466, A	8-9
A	JP, 3-20781, A (Sharp Corporation), 29 January, 1991 (29.01.91), page 4, lower left column, line 5 to page 5, lower left column, line 5; Figs. 3 to 4 (Family: none)	8
A	JP, 8-305316, A (Sharp Corporation), 22 November, 1996 (22.11.96), Par. Nos. [0037] - [0062]; Figs. 2 to 4 (Family: none)	9
Y	JP, 4-186282, A (Hitachi, Ltd.), 03 July, 1992 (03.07.92), page 9, lower right column, line 7 to page 10, upper left column, line 8; Figs. 7 to 8 (Family: none)	12
Y	JP, 11-125805, A (Canon Inc.), 11 May, 1999 (11.05.99), Par. No. [0006] (Family: none)	13

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int, Cl' G 09 G 3/20

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int, Cl' G 09 G 3/20

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
 日本国公開実用新案公報 1971-2000年  
 日本国実用新案登録公報 1996-2000年  
 日本国登録実用新案公報 1994-2000年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 7-49482, A (富士写真フィルム株式会社) 21. 2月. 1995 (21. 02. 95) 段落番号【0002】-【0005】，第3図	1, 2, 4, 5, 10, 14
Y	段落番号【0002】-【0005】，第3図	3, 6-7, 11-13
A	段落番号【0002】-【0005】，第3図 (ファミリーなし)	8-9

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日 07.08.00	国際調査報告の発送日 22.08.00
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 西島 篤宏 電話番号 03-3581-1101 内線 3225  2G 9308

C (続き) . 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
X	JP, 11-38928, A (シャープ株式会社) 12. 2月. 1999 (12. 02. 99) 段落番号【0012】，第18図	1, 2, 4, 5, 10, 14
Y	段落番号【0012】，第18図	3, 6-7, 11-13
A	段落番号【0012】，第18図 (ファミリーなし)	8-9
Y	JP, 1-219887, A (株式会社東芝) 1. 9月. 1989 (01. 09. 89) 第1頁右下欄第4行～同頁同欄第13行，第5図 (ファミリーなし)	3, 6, 11
Y	JP, 8-163472, A (日本電装株式会社) 21. 6月. 1996 (21. 06. 96)	7
A	段落番号【0027】～【0029】，第5-6図 段落番号【0027】～【0029】，第5-6図 & US, 5917466, A	8-9
A	JP, 3-20781, A (シャープ株式会社) 29. 1月. 1991 (29. 01. 91) 第4頁左下欄第5行～第5頁左下欄第5行，第3-4図 (ファミリーなし)	8
A	JP, 8-305316, A (シャープ株式会社) 22. 11月. 1996 (22. 11. 96)	9
	段落番号【0037】～【0062】，第2-4図 (ファミリーなし)	
Y	JP, 4-186282, A (株式会社日立製作所) 3. 7月. 1992 (03. 07. 92) 第9頁右下欄第7行～第10頁左上欄第8行，第7-8図 (ファミリーなし)	12
Y	JP, 11-125805, A (キヤノン株式会社) 11. 5月. 1999 (11. 05. 99) 段落番号【0006】 (ファミリーなし)	13